

SiC MOSFETs with Deep P-well Implanted by Channeling Implants

성웅제^a
Woongje Sung^a
SUNY Polytech.

Abstract:

In the last decade, 4H-SiC MOSFETs have been successfully commercialized and there has been significant advancements in device/process technologies. However, the research and development efforts have been mostly focused on static performances such as on-resistance and breakdown voltage. Recently, a novel approach using channeling implants was proposed to form a deep Pwell for SiC MOSFETs and, as a result, 4x improved short circuit withstand time was experimentally demonstrated. In this talk, SiC MOSFETs with a short channel (0.3um) enabled by deep Pwell will be discussed, and advanced JBS diode integrated MOSFETs (JBSFETs) with deep Pwell will be introduced.

Keywords:

SiC MOSFET,
Short channel,
Deep p-well,
Channeling implant,
Short circuit

a. Corresponding Author ; sungw1@sunypoly.edu

High-Speed Defects Mapping and Classification of Stacking Faults in 4H-SiC Epitaxial Wafer using Photoluminescence Mapping System

나문경¹, 방욱^{1a}, 정현돈², 장동현², 오찬형², 홍순구³
Moonkyong Na¹, Wook Bahng^{1a}, Hyundon Jung², Donghyun Jang², Chanhyoung Oh², Soon-Ku Hong³
¹한국전기연구원 ²(주)에타맥스 ³충남대학교

Abstract:

Silicon carbide (SiC) is an attractive semiconductor for high-power, high-temperature, and high-frequency electronic devices due to its wide bandgap, high-breakdown electric field, and high thermal conductivity [1]. Although the growth technologies of single crystal boules and epitaxial layer of SiC have greatly developed, presence of extended defects has hampered the development of SiC semiconductor devices [2,3]. Depending on the detail type of defects, especially for stacking faults, the influence on the device performance is also different [4-6]. Therefore, the classification of defects in 4H-SiC epitaxial layer is key technique for improving of SiC device performances. Interestingly, stacking faults emit photoluminescence (PL) signals with various energies depending on their types. Utilizing such phenomenon, the PL mapping systems for high-speed defects mapping up to 200-mm-diameter 4H-SiC wafer were developed. In this study, we performed the high-speed detection of defects in the epitaxial layer and classification of dislocation types by auto-navigation function using the developed PL mapping system. We focused on the classification of stacking faults types. Various types of stacking faults can be existed in the epitaxial layer, however studies on the effect of each stacking fault on the device performances are not enough due to difficulties in investigating the stacking faults and their classification. Dislocations were non-destructively and simultaneously imaged using intensity differences in the PL signal. The PL signals of defects are detected at the channels 2-4, and its surface images are scanned as shown in the channel 1. The PL spectra were simultaneously measured for the detected stacking faults and triangular defects by, we called, auto-navigator function in the system. From the specific spectra of stacking faults and triangular defects, the type of stacking faults was classified, successfully. Through all these powerful processes, the stacking fault types and detailed analyses on the defects were successfully possible.

참고문헌:

[1] T. Kimoto and Y. Yonezawab, Mater. Sci. Semicond. Process 78, 43-56 (2018).
[2] Y. Tokuda, I. Kamata, T. Miyazawa, N. Hoshino, T. Kato, H. Okumura, T. Kimoto, and H. Tsuchidam, J. Appl. Phys. 124, 025705 (2018).
[3] P. Fiorenza, M. S. Alessandrino, B. Carbone, C. Di. Martino, A. Russo, M. Saggio, C. Venuto, E. Zanetti, F. Giannazzo, and F. Roccaforte, Nanotechnology 31, 125203 (2020).
[4] T. Kimoto, N. Miyamoto, H. Maysunami, IEEE Trans. Electron Devices 46, 471 (1999).
[5] H. Fujiwara, H. Naruoka, M. Konishi, K. Hamada, T. Katsuno, T. Ishikawa, Y. Watanabe, and T. Endo, J. Appl. Phys. 100, 242102 (2012).
[6] H. J. Jung, S. B. Yun, I. H. Kang, J. H. Moon, W. J. Kim, W. Bahng, Mater. Sci. Forum 821-823, 563-566 (2015).

a. Corresponding Author ; bahng@keri.re.kr

Electrical Characteristics of SiC NMOS Transistors with Stacked Gate Dielectrics

조규현^a, 이봉용, 김기민, 최두진, 박경석
Kevin Kyuheon Cho^a, Brian Lee, Ki-Min Kim, Doojin Choi, and KS Park
ON Semiconductor

Abstract:

Silicon Carbide has become an important electronic material due to the potential of SiC power devices to provide efficient energy distribution and management for applications such as smart grid and electric vehicles. Despite continuing advances in fabrication and design, the channel mobility limits the performance which is caused mainly by structural imperfections of dielectric layer as well as in the interface. Interstitial carbon clusters, Si and C vacancies in the SiC surface and most probably a high strain of interface atomic layers are responsible for the creation of electrically active traps [1]. The alternative dielectric to improve the channel performance using 50Å thermal SiO₂/350Å deposited oxide has been analyzed through 4 termials LV nMOSFETs and compared to nMOSFETs with 400Å thermal SiO₂. The reliability concerns of each dielectric have been evaluated by ESD performance using TLP characteristics for future vehicles in real applications. Transfer characteristics, g_m and reverse characteristics depending on channel lengths are measured according to different dielectrics. V_{TH} roll-off starts to be shown from L_{CH}=3.0um in common, so we decided to proceed subsequent analysis focusing on L_{CH}=4.0um / W=300um nMOSFETs to get rid of mis-alignment or short channel effects. μ_{FE} from 50Å thermal SiO₂/350Å deposited oxide gate dielectric is increased by 10.6% compared to 400Å thermal SiO₂ at high fields (=4.5MV/cm) and this result would be caused by less carbon clusters and Si vacancies which are generated during short-time oxidation. I_{D,lin} and I_{D,sat} curves are measured respectively to confirm Drain-Induced Barrier Lowering (DIBL) depending on each gate dielectric and very stable DIBL effects are observed without any subthreshold leakage. Interface state densities at each gate dielectric were characterized using charge pumping measurements. Approximately 50% higher D_{it} level is shown in the 50Å thermal SiO₂/350Å deposited oxide gate dielectric than 400Å thermal SiO₂ based on the result from charge pumping. The reason why higher D_{it} level is observed in 50Å thermal SiO₂/350Å deposited oxide might be related to the insufficient oxidation time, so it would result in poor interface states than those of 400Å thermal SiO₂. Nevertheless, μ_{FE} from 50Å thermal SiO₂/350Å deposited oxide gate dielectric shows better than 400Å thermal SiO₂ gate dielectric. When it comes to the channel mobility at least, surface roughness scattering that comes from carbon clusters generated during oxidation plays an important role than D_{it} does, especially under high fields [2]. Although SiC has been demonstrated with many superior properties like temperature tolerance, radiation hardness and thermal conductivity, the assessment of reliability regarding ESD performance could have a significant effect on the consideration of different gate dielectrics in nMOSFETs. LV nMOSFETs operate properly showing on-state BV matches well with off-state BV. However, 10V earlier dielectric damage on different V_{GS} conditions tends to be shown at 50Å thermal SiO₂/350Å deposited oxide gate dielectric. Therefore, the stacked gate dielectric needs to be revised by adopting more robust 50Å thermal SiO₂ process which interfaces with SiC surface to improve the gate oxide integrity. There is no concerns on parasitic bipolar triggering or unwanted latch-up when considering dielectric breakdown voltage and rated currents of nMOSFETs after evaluating the effect of gate biasing on TLP characteristics.

Keywords:

SiC,
Charge pumping,
Channel mobility,
Interface state density,
Gate dielectrics

참고문헌:

[1] M. Cabello, et al., Materials Science in Semiconductor Processing 78 (2018) 22–31
[2] A. Pérez-Tomás, P. Godignon, N. Mestres, J. Millán, Microelectron. Eng. 83 (2006) 440–445

a. Corresponding Author :kevin.cho@onsemi.com

이미지 프로세싱 소프트웨어를 활용한 겔보기 색상 분석을 통한 SiC 웨이퍼의 폴리타입 식별과 캐리어 농도 추정

김정곤¹, 장연숙², 이원재², 여임규³, 유우식^{1a}
Jung Gon Kim¹, Yeon Suk Jang², Won Jae Lee², Im Gyu Yeo³, Woo Sik Yoo^{1a}
¹WaferMasters, Inc. ²동의대학교 ³포항산업과학연구원

Abstract:

4H, 6H, 15R의 폴리 타입 영역이 국부적으로 존재하는 *n*형 SiC 웨이퍼를 자외광(햇빛) 하의 야외에서 DSLR 카메라를 통해 촬영하였다. 얻어진 디지털 이미지는 이미지 프로세싱 소프트웨어를 활용한 색상 분석을 실시하여 SiC 웨이퍼의 폴리 타입, 캐리어 농도 및 겔보기 색상간의 상관관계에 대해 연구하였다. 각 웨이퍼 폴리타입 중심에 15x15 pixels (225pixels) 단위 영역내로 부터 RGB 및 HSV 색 공간의 색상 정보를 추출하였으며, 라만 측정을 통해 폴리 타입을 동정하고, LO(Longitudinal Optic) 포논 밴드의 Line-Shape-Fitting 분석으로 캐리어 농도를 추정하였다. 캐리어 농도는 2x10¹⁷cm⁻³~ 1x10¹⁹cm⁻³의 범위에 있는 것으로 분석되었다. HSV 색공간을 통한 색상 분석 결과, SiC의 폴리 타입과 HSV 색 공간의 Hue(색상) 값이 매우 밀접한 상관관계가 있는 것을 확인하였다. 또한, SiC 웨이퍼의 캐리어 농도는 웨이퍼 겔보기 색상의 Saturation 값과 Value 값에 크게 영향을 받는 것으로 나타났다. SiC 웨이퍼는 캐리어 농도가 낮을수록 높은 선명도 보였으며, 색상 정보에서는 상대적으로 낮은 Saturation 값(무색)과 높은 Value 값(높은 투명도)을 보였다. 이와는 반대로, 캐리어 농도가 증가할수록 웨이퍼는 반투명해졌으며, 색상 정보에서는 높은 Saturation 값(유색)과 상대적으로 낮은 Value 값(어둡고 불투명함)을 나타내었다. SiC 웨이퍼의 폴리 타입과 캐리어 농도는 HSV 색상 공간의 색상 분석을 통해 웨이퍼의 겔보기 색상으로 편리하게 추정할 수 있다.

Keywords:

SiC,
Polytype,
Carrier Concentration,
Image Processing Software,
HSV Color Space

a. Corresponding Author : woosik.yoo@wafermasters.com

SiC MOSFET의 견고성에 대한 JFET 도핑의 상충관계 (Trade-Off) 분석

윤승복¹, 강예환¹, 김기현¹, 박현¹, 천상익¹, 서민설¹, 정은식¹, 문정현², 강인호², 김형우², 양창현^{1a}
 Seung Bok Yun¹, Ye Hwan Kang¹, Ki Hyun Kim¹, Hyun Park¹, Sangik Cheon¹,
 Min Seol Seo¹, Eun Sik Jung¹, Jeong Hyun Moon², In Ho Kang², Hyoung Woo Kim²,
 Yang Chang Heon^{1a}

¹(주)에스파워테크닉스 ²한국전기연구원

Abstract:

탄화규소(SiC) 전력 금속 산화물 반도체 전계 효과 트랜지스터(MOSFET) 동작 특성 중 EAS(Single pulse avalanche energy)와 같은 비정상적인 작동 조건에서 MOSFET 소자의 견고성은 시스템의 신뢰성과 연결된다. MOSFET에서 전자는 N-source 영역에서 채널을 통해 소자 구조의 상부 표면을 따라 N-drift 영역으로 유입 되며, P-base 영역 간의 좁은 접합 전계 효과 트랜지스터(JFET) 영역을 통해 이동한다. 정상 작동 조건에서 이러한 전자 수송을 보다 용이하게 하기 위해 낮은 온 상태 저항 (Rds(on))을 갖도록 최적화된 SiC 파워 MOSFET의 온 상태 설계가 필요로 한다. 또한 셀 피치, 채널 길이, 채널 도핑 및 셀의 JFET 영역과 같은 설계 매개변수는 비정상적인 작동 조건에서 견고성에 영향을 미친다.

본 연구에서 는 JFET 길이와 JFET 도핑이 SiC MOSFET 성능과 상충관계에 미치는 영향에 대하여 적인 분석을 진행하였다. 특성 분석을 위한 디바이스는 1.2kV SiC MOSFET으로 진행 하였으며 소자 제작은 T cad 시뮬레이션으로 결과를 확인 하였다. 시뮬레이션은 JFET 길이 2um, 2.5um 및 3um 으로 도핑 농도변화 및 JFET 길이에 대하여 최적화 모델링을 진행하였다. 이를 기반으로 에스파워테크닉스의 SiC 전력반도체 일괄라인을 이용하여 소자를 제작하였다. 소자 제작 시 사용된 SiC epi 웨이퍼는 농도는 $7 \times 10^{15} \text{ cm}^{-3}$ 의 SiC 웨이퍼를 사용하였고 이를 위한 핵심 단위공정들을 최적화 하여 소자 제작에 적용 하였다. 제작된 소자를 이용하여 MOSFET 견고성을 개선하고 작동 성능에 미치는 영향을 평가하였다. 또한 다양한 JFET 길이 및 JFET 도핑 기반에 대한 1.2kV SiC MOSFET의 EAS 기능 및 애벌런치 견고성을 실험 결과와 비교하였다. 시뮬레이션과 제작된 소자의 매치업을 위하여 다양한 JFET 길이 및 JFET 도핑 기반에 대한 1.2kV SiC MOSFET의 Switch 특성 및 애벌런치 견고성을 비교평가 하여 시뮬레이션의 정확도를 향상 하였다.

분석 결과, 각 JFET 크기에 대해 JFET 농도가 높아짐에 따라 온 상태 저항이 개선됨을 확인하였다. 그러나 JFET 도핑 농도 변화에 따른 EAS 특성 비교 결과, 낮은 JFET 도핑 농도 356mJ, 높은 JFET 도핑 농도 258mJ로 JFET 농도가 높아짐에 따라 EAS 특성이 열화 되는 것을 확인 하였으며, 원인으로 JFET 농도 증가로 인하여 Channel 농도 감소에 따른 펀치 스루(Punch through) 발생이 원인으로 예상된다. 안정적인 SiC MOSFET 견고성 확보와 높은 전류 특성을 구현하기 위해서는 JFET영역의 최적화가 필요하다는 결론을 얻었으며 추후 본 연구자료는 추 후 실리콘카바이드 사업화를 위한 기초자료로 활용될 예정이다.

Keywords:

MOSFET,
 EAS,
 JFET,
 Ruggedness,
 Trade-off

a. Corresponding Author ; chyang@ypt.co.kr

1700 V 4H-SiC P-shielding Trench Gate MOSFET

경신수^a, 서정윤, 전준혁, 남태진, 강태영
 Sinsu Kyoung^a, Jeong Yun Seo, Jun-Hyeok Jeon, Tai-Jin Nam, Tai-Young Kang

파워큐브세미(주)

Abstract:

전력시스템의 정격전압을 높여 전력효율을 높이기 위해 산업현장에서 1700V급 전력반도체 소자가 요구되고 있다. 현재 일반적으로 1700V Si IGBT가 사용되지만 최근에는 1700V급 SiC MOSFET에 대한 수요가 높아지는 상황이다.

SiC MOSFET에서 1700V 항복 전압을 만족시키기 위해서는 n-드리프트 에피택시층의 두께와 농도를 증감해야 하며, 이는 비저항(Ron,sp)을 증가시킨다. Ron,sp의 증가를 극복하기 위해 4H SiC 트렌치 게이트 MOSFET이 제안되고 개발되었다[1]. 그러나 4H-SiC 트렌치 게이트 MOSFET은 오프 상태에서 하부 게이트 절연막에 전계가 집중되기 때문에 Planar SiC MOSFET보다 오프 상태 특성이 상대적으로 좋지 않다[1]. 이러한 문제점을 극복하기 위해 P-Shielding TMOS(Trench Gate MOSFET)가 제안되고 연구되었다[2].

본 논문에서는 온/오프 특성을 모두 만족하는 1700V 4H-SiC P-차폐 T-MOS를 설계하고[2], 제작하여 검증하였다. 설계된 1700V Shielding T-MOS는 2.7um 트렌치 게이트 깊이, 0.5um P-Body 접합 깊이, P-Shielding과 P-body 사이의 거리 2um의 파라미터를 가지고, 1700V 항복 전압 및 300mΩ 온 저항을 가지도록 하였다. 이를 바탕으로 제작된 1700V 4H-SiC P-Shielding T-MOS는 N-드리프트층 농도에 따라 항복전압이 1800~2300V, 온저항이 200~400mΩ, 문턱전압이 5.5V 수준임을 보였다. 그리고 VDS=1200V, VG=18V, 외부 게이트 저항 4.7Ω 조건에서 인덕턴스 부하 5mH에서 스위칭 손실이 0.6mJ 미만임을 확인하였다.

또한, 트렌치 게이트에 인가되는 전계가 잘 보호되는지 확인하기 위해 VDS=1700V 조건에서 1000시간 동안 HTRB(High Temperature Reverse Bias) 신뢰성 테스트를 수행하였다. 그 결과, HTRB 테스트 전후에 변화가 미미함을 확인하여 신뢰도 스트레스를 극복하였음을 확인하였다. 본 논문의 결과로 1700V의 고전압을 견딜 수 있는 새로운 형태의 P-차폐형 Trench Gate SiC MOSFET을 제조할 수 있음을 확인하였다.

Keywords:

SiC,
 MOSFET,
 P-shielding,
 Trench Gate,
 E-field

a. Corresponding Author ; sskyoung@powercubesemi.com

SiC 전력 변환 모듈을 위한 Insulated Metal Substrate의 방열 특성

배현철^{1,2a}, 정봉민^{1,3}, 오애선¹, 손기락¹, 김동구⁴
 Hyuncheol Bae^{1,2a}, Bongmin Jeong^{1,3}, Aesun Oh¹, Kirak Son¹, Donggoo Kim⁴
¹한국전자통신연구원 ²과학기술연합대학원대학교 ³충남대학교 ⁴아주스틸

Abstract:

자동차 분야에서 친환경 자동차인 전기 자동차의 확산이 급격하게 이루어지고 있다. 기존 내연기관 자동차에서 엔진의 성능을 개선하여 연비를 개선하려고 노력하였다면 전기 자동차의 경우 제한된 배터리를 이용하여 먼 거리를 이동하고자 하는 성능 개선이 중요하게 되었다. 이를 위하여 전기자동차용 파워 변환 모듈의 효율을 증가시키는 연구가 활발히 이루어지고 있으며 기존 Si 전력 반도체를 사용하던 연구에서 열방출 및 V_{br} 특성이 우수한 SiC 전력 반도체를 적용하는 전력변환 모듈에 대한 발표가 점점 많이 증가하고 있다.

고전압, 고전력용 전력 변환 모듈 기판으로는 세라믹 계열의 Al_2O_3 , AlN, Si_3N_4 Direct Bonded Copper (DBC) 기판이나 Active Metal Brazing (AMB) 기판이 많이 사용되고 있는데 세라믹 계열의 기판은 고방열 특성에서 장점을 가지지만 열충격 테스트를 Harsh한 조건으로 할 경우 CTE mismatch로 인한 기판 신뢰성 부분이 단점으로 발표되기도 한다.

본 논문에서는 세라믹 DBC 기판이나 AMB 기판이 아닌 유전체를 사용한 IMS 기판에 대하여 소개하고자 한다. IMS 기판에 사용되는 유전체의 열전도도는 세라믹 기판 소재에 비하여 1/10 이하로 낮다. 하지만 IMS 기판을 이용하여 파워 모듈을 제작할 경우에는 세라믹 기판과는 달리 유전체 하부 두꺼운 금속층을 이용하여 방열핀 일체형 기판으로 제작이 가능하다. 이와 같이 개발하는 방열핀 일체형 파워 모듈의 방열 특성을 FEM 해석을 통하여 전력 모듈의 최대 온도 특성 및 열저항 특성을 분석하고 기존 일반적인 구조의 세라믹 기판을 적용한 파워 모듈과 방열 특성을 비교하였다. Al_2O_3 , AlN, Si_3N_4 DBC 기판이나 AMB 기판의 SiC 칩을 접합한 후 열충격 테스트를 진행한 결과를 나타내고, 최종적으로 IMS 기판 및 세라믹 기판을 이용한 칩 접합부 열충격 테스트를 비교하였다.

Keywords:

IMS,
 전력변환모듈,
 SiC,
 방열,
 기판

a. Corresponding Author ; hcbae@etri.re.kr

상용 4H-SiC MOSFET의 게이트 열화특성 비교 분석

강인호^a, 문정현, 나문경, 서재화, 하창승, 김상철, 방욱
 Inho Kang^a, Jeong Hyun Moon, Moonkyong Na, Jae Hwa Seo, Chang-Seung Ha, Sangcheol Kim, Wook Bahng
 한국전기연구원

Abstract:

본 연구에서는 상용 SiC MOSFET 제품을 이용하여 게이트 열화특성을 비교 분석하였다. 게이트 열화특성을 관찰하기 위해 175도에서 30시간 게이트 바이어스를 인가하였고 온라인 모니터링을 통해 다양한 전기적인 특성(전달곡선, 게이트 누설전류 곡선, 전압-캐패시턴스 곡선 등)을 측정하였다. 정성적인 열화특성 분석을 위해 Subthreshold swing 방법을 이용하여 측정 결과로부터 near interface charge (NIT)와 interface trap charge 변화를 추출하였다. 분석 결과로부터 SiO_2/SiC interface trap density가 증가하고 near interface charge는 음전하가 증가함을 발견하였다. 또한 소자 구조 파라미터의 변화에 따라 값이 달라짐을 발견할 수 있었다. 마지막으로 시뮬레이션 및 다양한 전기적인 특성들을 통해 원인을 추정하였다.

Keywords:

4H-SiC,
 MOSFET,
 HTGB,
 신뢰성

a. Corresponding Author ; ihkang@keri.re.kr

1200 V, 14 mΩ SiC MOSFET과 3D Clip을 채용한 고 신뢰성, 고효율 양면 냉각 전력 모듈

장경윤^a, 최윤희, 박상두, 이태현
Kyungoun Jang^a, Yh Choi, Sangdo Park, Th Lee
제엠제코

Abstract:

최근 전력용 반도체 소자인 SiC SBD 또는 SiC MOSFET은 HEV/EV인 오토모티브 애플리케이션에 많이 적용되고 있으며, 고온 환경에서도 동작하는 데 적합하다는 것이 검증되고 있다. 고전압 대 전류 디바이스용 반도체 패키지의 경우에는 본딩 와이어 대신 반도체용 도전성 클립이 사용되고 있다. WBG의 성능을 최대한 활용하기 위해서 전력 모듈은 그에 맞는 최적화된 패키지 기술을 필요로 한다. 더 높은 전력 밀도 때문에 향상된 패키징 소재를 필요로 할 뿐만 아니라, 고신뢰성 고도화의 전력 모듈이 반드시 필요하다는 것이다. 또한 SiC MOSFET의 빠른 스위칭 능력을 최대한 활용하기 위해서는 기생 인덕턴스가 낮은 패키지를 필요로 한다. 그러기 위해서는 전력 모듈에 적합한 새로운 패키징 기술을 필요로 한다. 본 논문에서는 양면 냉각이 가능한 최신 패키징 기술을 활용함으로써 이들 WBG의 열저항을 최적화할 수 있다. 본 전력모듈은 1200V 14mΩ SiC MOSFET 을 3개 병렬화 하여 300A을 채용하여 효율적인 양면 열 소산을 적용함으로써 시스템 차원에서 열 저항 Rth를 크게 낮출 수 있다. 그러므로 지극히 전력 밀도가 우수한 인버터를 설계할 수 있다. 일반적으로 반도체 패키지는 반도체 칩, 리드프레임 및 케이스 바디를 포함하여 구성되며, 반도체 칩은 리드프레임 패드 상에 부착되고, 리드프레임의 리드와는 클립에 의해서 전기적으로 연결된다. 반도체 패키지에서는 클립과 반도체 칩, 클립과 리드프레임의 리드, 리드프레임의 패드와 반도체 칩이 상호 솔더와 같은 접착재로 접합되고, 클립과 반도체 칩 및 리드프레임 주변은 에폭시 몰딩 컴파운드로 밀봉된다. 양면 냉각 전력 모듈은 전기적 연결이 가능하도록 특정 금속패턴이 형성된 상측기판, 하측기판 과 3D Clip 을 통해서 전기적 연결이 가능하도록 특정 금속패턴이 형성된 상측기판, 하측기판에 1200V SiC MOSFET을 구성하여 전도성 접착제를 개재하여 접합된다. WBG의 영향이 없도록 탄성을 갖도록 특정 형상으로 절곡 형성된 3D Clip Interconnection, 패키지 하우징 외부로 노출되는 터미널 리드로 하여 양면 냉각 전력 모듈을 제작 완료하여 AEC Q101 신뢰성을 평가를 하였다.

Keywords:

DSC,
전력모듈,
1200 V SiC

a. Corresponding Author ; kwjang@jmjkorea.com

전력반도체용 SiC 단결정 기판 소재의 연구 개발 및 현황

구갑렬¹, 이원재^{2a}
Kap-Ryeol Ku¹, Won-Jae Lee^{2a}

¹(주)씨닉 ²동의대학교

Abstract:

전기자동차 시장의 급성장으로 ‘포스트 실리콘’ 반도체로 불리는 실리콘카바이드 (SiC) 기반 전력 반도체도 급부상하고 있다. SiC 전력반도체소자는 높은 밴드갭, 높은 절연 파괴전압, 높은 열전도도 등 재료 고유의 물질적 특성이 매우 우수하여 고효율, 고출력, 고효율 전력변환소자 분야에 있어서 기존의 실리콘 등 타 반도체 소자에 비해 탁월한 장점을 갖는 소자이다. 하지만 실리콘 기판 대비 생산 조건이 까다로워 생산량이 적은 상황이라, 대규모 적용을 위해서는 전력반도체 소자의 대량 생산 및 제조 단가 하락이 필수적이다. 특히 제조 단가의 가장 큰 부분인 기판 가격의 감소가 필요한데, 본 발표에서는 국내외 연구 개발 현황 및 전력반도체 제조 공정 중 발생한 불량 기판의 재생 기술 및 품질에 대하여 언급하고자 한다.

Keywords:

자동차,
전력반도체,
실리콘카바이드

a. Corresponding Author ; leewj@deu.ac.kr

차세대 전력반도체용 단결정다이아몬드 소재 기술
(Technology Trend of Single Crystal Diamond Materials
for Future Power Semiconductors)

남옥현^a, 유근호, 최의호, 곽태명
Okhyun Nam^a, Geunho Yoo, Uiho Choi, Tae-Myung Kwak
한국공학대학교

Abstract:

다이아몬드는 미래의 고출력, 고주파 전력반도체 및 양자기술용 단결정 반도체 소재로 폭넓은 관심을 받고 있다. 다이아몬드 반도체는 넓은 밴드 갭(5.5eV)과 높은 열 안정성 때문에 높은 온도에서 작동할 수 있으며, 다이아몬드의 BFOM(고출력반도체성능지수)과 JFOM(고주파반도체성능지수)이 각각 5만, 1,340으로 각각 Si와 SiC의 약 100배, 3배에 달해 초고전력, 초고주파 반도체소자 응용의 궁극적인 후보소재로 기대되고 있다. 또한 최근에는 양자 컴퓨팅, 양자 통신 및 양자 센서 등의 다양한 양자기술응용을 위한 다이아몬드의 질소-공공센터(Diamond-NV 센터)가 연구되고 있는데, 개별 NV 센터는 양자 컴퓨터의 기본 단위인 큐비트로 사용될 수 있다.

미국, 일본, EU의 다이아몬드 단결정 반도체 소재 및 소자에 대한 연구개발은 10년 이상 각국 정부의 지원을 받아 수행되어 왔으나, 국내에서는 단결정 다이아몬드 반도체 소재 연구에 대한 정부 지원이 거의 이루어지지 않았다. 다행히, 작년부터 양자기술용 단결정 다이아몬드 연구과제가 시작되었고 올해에는 과기정통부의 나노소재기술 개발사업인 미래기술연구실 과제로서 단결정 다이아몬드 소재기술 연구가 선정되어 착수되었으며 앞으로 활발한 연구가 기대되고 있다. 본 발표에서는 단결정 다이아몬드 반도체소재의 성장기술 및 소자기술 동향과 정부지원의 국책연구과제의 현황에 대해서 소개하고자 한다.

Keywords:

단결정(Single Crystal),
다이아몬드(Diamond),
초넓은띠간격
(Ultra Wide Bandgap
Semiconductor),
전력반도체(Power
Semiconductor)

a. Corresponding Author ; ohnam@tukorea.ac.kr

Color Spectroscopy for Energy-Level Analysis of
Conductive SiC Single Crystals

최형석^a, 정성민
Hyoungeuk Choi^a, Seong-Min Jeong
한국세라믹기술원

Abstract:

Single crystal silicon carbide (SiC), which has a closed-packed crystal structure, is a wide-bandgap (WBG) material applicable to power electronic devices. During crystal growth, many polytypes of SiC could be appeared depending on the process conditions. These SiC polytypes have different electronic band structures, resulting in different ultraviolet photoluminescence (UVPL) wavelengths. Except for 4H-SiC, the polytype applicable to power devices, other polytype inclusion is a critical failure of final single-crystal products. Therefore, a rapid testing procedure for polytype analysis is highly required for the mass production of SiC crystals.

SiC is intentionally or unintentionally doped with N, P, Al, or B, which generate donor or acceptor levels, resulting in giving conductance of SiC. Since the additional energy levels generate different colors in the visual ray range, we could identify the polytypes of SiC with simple optical measurements.

In those conductive SiC, N, and P dopants result in shallow donor levels, and Al-doping results in a shallow acceptor level. However, doping with B creates a deeper acceptor level, allowing a donor-acceptor pair (DAP) with an energy difference in the visible range to be created. These B-doping-induced DAP recombination energies result in UVPL emission from conductive SiC.

In this study, we demonstrate a simple color spectroscopy technique that could be adopted in laboratories and mass-production lines. We also report a spectroscopic technique named "color spectroscopy", which is applied to the analysis of the different polytypes of SiC single crystals.

Keywords:

SiC,
UV,
Polytype,
Single Crystal,
Power device

a. Corresponding Author ; hschoi@kicet.re.kr

기계적으로 장착한 탄화규소 종자결정을 이용한 탄화규소 단결정 PVT 성장

김용현, 이명현, 배시영, 신윤지, 김슬기, 정성민^a
Yong-Hyeon Kim, Myung-Hyun Lee, Si-Young Bae, Yun-Ji Shin, Seul-Ki Kim, Seong-Min Jeong^a
한국세라믹기술원

Abstract:

SiC(탄화규소) 단결정은 넓은 밴드갭(~3.3 eV)와 함께 높은 항복전계 강도(~5.0 MV/cm), 높은 열전도도(~490 W/m·K)를 갖는 소재로써 고온·고전압용 전력반도체에 응용되고 있다. SiC 단결정 잉곳은 높은 성장속도와 대면적 성장이 용이하여 생산성이 높은 PVT법(Physical Vapor Transport)을 통해 상업적으로 제조되고 있다. PVT법은 2200~2400℃로 유도가열된 흑연도가니 내부에서 하부의 SiC 원료분말이 승화하고 기체상으로 이동하여 상부에 부착된 SiC 종자결정(seed)에 증착되어 성장하는 방법이다.

PVT법에는 성장 중 온도 구배, 핫존 구조, 원료 및 부품의 순도, 종자결정의 부착방법 등 다양한 공정 변수가 존재한다. 이 중 SiC 종자결정은 일반적으로 상부 흑연 Lid에 흑연접착제를 사용하여 부착하여 사용한다. SiC와 흑연이 부착되어 고정된 경우, 성장 중 고온에서 SiC와 흑연의 열팽창계수 차이로 인해 휘어지게 되고 SiC 결정 내부에 응력이 형성된다. 이러한 응력은 성장결정에서의 결함 및 균열의 원인이 될 수 있다. 따라서 고품질의 SiC 단결정을 성장시키기 위해서는 응력을 저감할 수 있는 종자결정의 부착방법에 대한 연구가 필요하다.

본 연구에서는 열팽창으로 인한 응력을 감소시키기 위해 기계적으로 장착하는 방법을 채택하여 SiC 단결정을 성장시켰다. 종자결정으로 2인치 4° off-axis 4H-SiC wafer를, SiC 원료로 SiC 상용분말을 사용하여 PVT법을 통해 단결정 SiC를 성장하였다. 그 결과 흑연접착제를 사용하여 부착하지 않고도 성공적으로 SiC 단결정을 성장할 수 있었다. 하지만 종자결정 후면의 노출된 부분에서부터 승화가 일어나 배면식각(back-etching)과 함께 micropipe가 발생한 것을 확인하였다. 이러한 배면식각은 종자결정의 후면에 보호막을 도포하여 성장함으로써 억제할 수 있었다.

Keywords:

탄화규소,
SiC,
단결정 성장,
PVT,
No-Seeding

a. Corresponding Author ; smjeong@kicet.re.kr

PVT법으로 성장한 SiC 웨이퍼의 표면결함을 측정하기 위한 디지털 이미지 기반의 정량적 측정법
(Quantitative Measurement Method Based on Digital Image to Measure Surface Defects of SiC Wafer Growing by PVT Method)

나준혁¹, 이하린¹, 장연숙¹, 박미선¹, 이원재^{1a}, 유우식², 김정곤²
Jun Hyuck Na¹, Ha Lin Lee¹, Yeon Suk Jang¹, Mi Seon Park¹, Won Jae Lee^{1a}, Woo Sik Yoo², Jung Gon Kim²
¹동의대학교 ²Wafermasters

Abstract:

SiC(Silicon Carbide)는 차세대 전력 반도체 소재로 고전압, 고주파, 고온 소자 용도에 적합한 넓은 밴드갭 특성을 가지고 있어 많은 주목을 받고 있다. 현재 가장 일반적으로 사용되는 SiC 단결정은 PVT(Physical Vapor Transport) 법으로 성장된 결정이다. 하지만 PVT 방법으로 성장된 SiC 웨이퍼는 결정에서 많은 결함(MP, Dislocation)을 가지고 있으며 완전 제거에 기술적 한계가 있고[1, 2] 이런 결함들은 반도체 소자의 성능을 저하시키는 주요 원인 중 하나로 알려져 있다. 따라서 우수한 성능의 SiC 전력반도체를 개발하는 것도 중요하지만, 추후 문제가 발생하지 않도록 결함을 정확히 검사하고, 결함에 따른 특성저하를 해결할 수 있는 분석 기술이 필요하다. 본 연구에서는 SiC 웨이퍼의 표면 에칭 후 광학 이미지를 취득한 후 이미지 프로세싱 소프트웨어 PicMan(WaferMasters, Inc.)을 활용하여 표면 결함밀도를 정량적으로 분석하였다. PVT 법으로 성장시킨 2inch SiC 웨이퍼를 KOH(Potassium hydroxide)와 Na₂O₂(Sodium peroxide)를 50:3 [wt%] 비율로 혼합한 용액에서 에칭온도 510℃에서 5분 동안 etching하였다. SiC 기판 표면이미지는 광학현미경을 통해 얻었다. 육안검사결과와 이미지 프로세싱 소프트웨어를 활용한 EPD (Etch pit density, 개수/cm²)측정결과를 비교하였다. 광학이미지 내 etch pit 밀도가 높은 영역과 낮은 영역을 몇 군데 지정한 후 Etch이 밀한 부분(최대)과 소한 부분(최소)을 산출하여 신뢰성을 높였다. 이미지를 목적에 맞게 처리하여 분석한다면 보다 효율적이고 정량적인 EPD 측정이 가능함을 확인하였다.

Keywords:

SiC,
PVT,
Picman,
EPD,
Etching

a. Corresponding Author ; leewj@deu.ac.kr

이하린¹, 나준혁¹, 박미선¹, 장연숙¹, 권용진², 김일곤², 김창민², 이원재^{1a}
Ha Lin Lee¹, Jun Hyuck Na¹, Mi Seon Park¹, Yeon Suk Jang¹, Yong Jin Kwon², Il Gon Kim²,
Chang Min Kim², Won Jae Lee^{1a}

¹동익대학교 ²하나머티리얼즈(주)

Abstract:

탄화규소(SiC)는 실리콘(Si) 대비 Wide 밴드갭으로 열전도율과 전자 포화속도가 우수한 물성을 가지고 있어 고온, 고전압에서 동작이 가능한 차세대 전력반도체 소재로 각광받고 있다. SiC 단결정을 성장시키는 방법에는 대표적으로 물리기상수송법(Physical Vapor Pressure)이 있으며[1, 2], 2000℃ 이상의 고온에서 SiC 원료 분말이 승화하여 시드 결정 표면에서 응축한 후 재결정화하여 성장하는 방법이다. 이때, 원료로 사용되는 SiC 분말의 순도 제어가 고순도 SiC 단결정 성장에 매우 중요한 역할을 한다.

고순도의 SiC 분말은 화학기상증착법(Cheical Vapor Pressure)을 통해 합성할 수 있으며 1600℃의 온도에서 열처리하여 CVD-SiC를 제조할 수 있다. 최근에 반도체 제조용 장비 부품으로 내플라즈마 특성을 가진 고순도의 벌크 CVD-SiC가 사용되어지는데 CVD-SiC 제품을 가공하는 과정 중 벌크 조각이 남게 된다. 이 벌크 형태 CVD-SiC 부산물은 고순도이지만 대부분 폐기되어 활용되지 않는다.

본 연구에서는 4인치 SiC 단결정 성장을 위한 원료로 고순도 CVD-SiC 부산물을 사용하여 실험을 진행하였다. 상용 SiC 분말과 CVD-SiC 벌크 조각을 원료로 사용하여 성장된 SiC 단결정 비교분석을 진행하였다. SiC 단결정 성장은 4H-SiC, C-face의 4인치 SiC seed를 사용하여 2300℃~2400℃의 온도에서 60시간 동안 성장을 진행하였으며 이 때, 아르곤 분위기에서 압력을 5Torr로 유지시켰다. 성장된 SiC 잉곳을 웨이퍼로 가공하여 X-ray와 Raman 분석을 통하여 SiC polytype을 확인하였으며, KOH 에칭으로 EPD등을 확인하여 웨이퍼의 결정품질을 확인하였다. 이로써 CVD-SiC 부산물의 재활용 가능성과 이를 이용한 고순도 단결정 SiC 성장 방법을 제시하고자 한다.

Keywords:

PVT,
SiC,
Single crystal,
CVD

a. Corresponding Author ; leewj@deu.ac.kr

김형우^a, 문정현, 서재화, 방욱
Hyoung Woo Kim^a, Jeong Hyun Moon, Jae Hwa Seo, Wook Bahng

한국전기연구원

Abstract:

Recently, to develop the high-power ICs for extreme applications such as EV (Electric Vehicle), aerospace, and military, the demand for the SiC lateral MOSFET is increased [1-4]. Although there are silicon-based lateral MOSFETs already developed for high-power ICs, however, due to the low breakdown voltage (BV) and high specific on-resistance (Ron), those devices are not good for developing high-power ICs used in extreme applications.

In this paper, the 4H-SiC lateral MOSFETs with double implanted drift regions for improving the electrical characteristics are presented. The electrical characteristics of the proposed lateral MOSFETs were verified by the two-dimensional device simulator Victorydevice [5]. The proposed 4H-SiC lateral MOSFETs were implemented on high purity semi-insulating (HPSI) substrate. And the drift region of the proposed lateral MOSFETs is composed of n- and p-doped double layers. The p-doped layer is located at the bottom of the n-doped layer to induce the charge compensation effect and deplete the entire drift region.

Due to the charge compensation effect caused by the p-doped layer, a high BV can be obtained even with the doping concentration of the n-doped layer is high. Therefore, with the use of the proposed lateral MOSFET, low Ron can be obtained without sacrificing the BV. The BV and Ron of the proposed lateral MOSFET are 1.7 kV and 28 mohm·cm² when the 20um length of the drift region. The FoM (Figure of Merit) of the proposed lateral MOSFET is 103 MW/cm² which is superior to that of the former research.

Keywords:

4H-SiC,
Lateral MOSFET,
Semi-insulating
substrate,
Breakdown voltage,
Specific on-
resistance

a. Corresponding Author ; hwkim@keri.re.kr

황현주, 이유정, 박영재, 김성준, 강민재^a, 신훈규^b
Hyeonjoo Hwang, Yujeong Lee, Youngjae Park, Seongjun Kim, Minjae Kang^a,
Hoon-Kyu Shin^b
포항공과대학교

Abstract:

반도체 소자제작 공정에서 많이 사용되는 절연막을 증착하는 기술에 대해 다양한 방법이 연구되고 있다. 특히 SiC 전력반도체 공정의 극간 전기적인 절연 및 격리를 위한 절연막 역할을 하는 Inter-Layer Dielectric (ILD) 박막을 형성하는 기술로 Plasma Enhanced Chemical Vapor Deposition(PECVD) 방법을 많이 사용하고 있다. 이러한 PECVD 방식의 절연막으로는 실란가스를 사용한 실리콘산화막(SiO₂)과 TEOS(Tetraethyloxysilane)를 사용한 산화막이 있다.

PE-TEOS 박막의 경우 공정온도가 낮음에도 불구하고 박막의 Step Coverage가 우수하여 SiC 전력반도체 공정시 Hard Mask 및 Screen Oxide 공정에 적용할 수 있다. SiC 전력반도체 공정 중 Trench MOSFET 공정의 Gate 산화막 형성은 SiC Epi의 계면특성으로 전통적인 Oxidation 공정으로는 균일한 산화막을 형성하기 어렵다. 이에 Step Coverage가 뛰어난 PE-TEOS 박막을 적용한 연구가 활발히 이루어지고 있다.

본 연구에서는 대면적 SiC 전력반도체 공정에 적용시키기 위한 PECVD 절연막 중 TEOS, Nitride 박막 공정을 개발하고, 대면적에 적용시키기 위한 3%이하 Uniformity 확보, Step Coverage(1:0.8:1), Etch Rate(50A/s) 등을 확보하였다. 추가적으로 절연내압측정, 공정변수 조절에 따른 굴절율과 박막의 스트레스 변화를 측정하고자 한다.

Keywords:

SiC,
PECVD,
TEOS

a. Corresponding Author ; ggang25@postech.ac.kr
b. Corresponding Author ; shinhk@postech.ac.kr

김용원, 신동화, 김용원^a
Yongweon Kim, Donghwa Shin, Yongweon Kim^a
(주)이큐테크플러스

Abstract:

The transition region contains the several carbon related defects such as dangling bonds, strained bonds and C=C double bonds. The C=C double bonds are most likely considered to increase the interface state (D_{it}) in SiC oxidation. Carbons are emitted into SiO₂ during 1,200~1,400°C high-temperature and high-pressure oxidation, whereas they are effective in suppressing emission in low-temperature and low-pressure. The radical interface oxidation was conducted prior to high-temperature oxidation using a specifically designed reaction unit which can generate hydroxyl radical (OH*) at 550~700°C by hydrogen and oxygen thermal reaction at low pressure and low temperature. In the first case, the radical oxidation underlayer with thickness of 60 Å is placed at 650°C above SiC substrate, while in the second (conventional) case, the high temperature oxidation underlayer with thickness of 700 Å is at 1300°C. To investigate the changes in the structure, composition, and electrical characteristics caused by interfacial reaction between the SiO₂ film and SiC, X-Ray Reflectometer (XRR), Transmission Electron Microscope (TEM), Secondary Ion Mass Spectrometry (SIMS), and electrical measurements were performed. The SiO₂ film grown through radical interface oxidation prior to high-temperature oxidation reduced the carbon related defects in the transition layer, reduced the thickness of the transition layer and formed smooth interlayer compared to the conventionally grown SiO₂ film. Moreover, the radical interface oxidation prior to high-temperature oxidation exhibited enhanced electrical characteristics such as reduced frequency dispersion and interface trap density. In short, stable interface states of high quality SiO₂ on SiC can be obtained by the effectively controlling the formation of carbon related defects through the low temperature radical oxidation underlayer condition.

Keywords:

Interface state (D_{it}),
Radical oxidation,
Transition layer,
SiC,
Carbon emission

a. Corresponding Author ; ywkim620419@naver.com

Mo/SiC Schottky Diode의 열처리 효과
(Annealing Effect of Mo/SiC Schottky Diode)

김형민, 홍정수, 김경환^a
Hyungmin Kim, Jeongsoo Hong, Kyunghwan Kim^a
가천대학교

Abstract:

차세대 전력 반도체 소자 재료 중 SiC는 Si에 비해 높은 열전도율, 절연 파괴 강도, 전자 포화 속도, 넓은 optical bandgap energy, 뛰어난 열적 특성으로 인하여 Schottky barrier diode 및 MOSFET 등 단극 소자의 기본 재료로 많은 관심을 받고 있다. Mo은 약 4.6 eV의 일함수를 갖는 금속으로 융점이 높고 내열성이 뛰어난 특징이 있어 많은 연구가 이루어지고 있다.

본 연구에서는 n-type 4H-SiC poly-type wafer 위에 대향 타겟 스퍼터링 (Facing Target sputtering system; FTS)을 이용해 Mo/SiC schottky contact을 형성하였고, Ni/Ti/NiV/Ag 구조로 후면 Ohmic contact을 형성하였다. SiC wafer 위에 Mo (1000 Å) 및 Al (3000 Å) 박막을 증착하였으며 제조된 박막은 다양한 온도와 시간으로 annealing 하였다. 제작된 Mo/SiC의 결정학적 특성은 XRD를 통해 분석하였고, J-V curve를 통해 전기적 특성을 분석하였다.

Mo/SiC Schottky diode는 annealing 온도 및 시간의 증가에 따라 전기적 특성이 향상되었다. 10분간 300 °C에서 annealing한 sample에서 schottky diode에 대해 우수한 특성이 나타났다. Annealing에 의한 SiC의 구조적 특성의 변화는 크게 관찰되지 않았고 이를 통해 Molybdenum silicide phase의 형성이 annealing 공정과 독립적임을 확인하였다.

Keywords:

SiC,
Schottky,
Thin film,
FTS,
Molybdenum

a. Corresponding Author ; khkim@gachon.ac.kr

SiC 전력반도체 소자의 도핑프로파일과 원자배열 구조 분석

현문섭¹, 박윤창^{1a}, 박경진¹, 홍순구²
Moon Seop Hyun¹, Yun Chang Park^{1a}, Kyung-Jin Park¹, Soon-Ku Hong²
¹나노종합기술원 ²충남대학교

Abstract:

전력반도체(Power Semiconductor)는 전력을 변환, 저장, 분배, 제어하는 반도체소자로 근래 GaN, SiC, Ga₂O₃ 등의 화합물반도체 기반의 전력반도체소자에 대한 관심이 급격히 증가하고 있다. 본 발표에서는 SiC 소자의 2차원 PN doping Profile을 측정하기 위해서, FIB(Focus Ion Beam)을 이용하여 공간적으로 제한된 영역에서 단면시편을 제작하고, 저가속전압 SEM을 이용한 영상화 방법을 소개하고, SiC 소자의 PN 영역 명함 차이의 원인을 Si 소자와 비교하여 설명하고자 한다. 또한, SiC 다형체의 결정구조(2H, 3C, 4H, 15R)와 원자배열(Atomic arrangement)에 관한 분석사례를 공유하고자 한다.

Keywords:

Doping Profile,
Low voltage SEM,
Atomic arrangement,
SiC,
Power
Semiconductor

a. Corresponding Author ; parkyc@nnfc.re.kr

p-NiO/n-SiC Heterojunction Diode by RF Magnetron Sputtering

문수영¹, 이형진¹, 변동욱¹, 김성준², 이남석², 신희규², 신원호¹, 오종민¹, 박철환¹, 구상모^{1a}
Soo-Young Moon¹, Hyung-Jin Lee¹, Dong-Wook Byun¹, Seong-Jun Kim²,
Nam-Suk Lee², Hoon-Kyu Shin², Weon Ho Shin¹, Jong-Min Oh¹,
Chulhwan Park¹, Sang-Mo Koo^{1a}

¹광운대학교 ²포항공과대학교

Abstract:

Nowadays, wide bandgap semiconductors have generally served as high temperature, high power, and high voltage device applications because of their large bandgap, high breakdown voltage, and stable chemical and physical characteristics.

Silicon carbide (SiC) is a promising widebandgap (WBG) material with excellent structure and electrical properties for operation in harsh environments such as high temperature. In particular, SiC has a large bandgap of ~3.23eV compared to silicon (1.12eV), a high thermal conductivity (3~5 W/cm K), and a high breakdown field strength (2.0 MV/cm), and thus is excellent in high power and high voltage applications [1].

Nickel oxide (NiO) is a transparent natural p-type semiconductor and has a wide energy band gap (3.4 ~ 4.0 eV), showing excellent chemical stability, making it a good candidate for bipolar devices. Notably, nickel oxide is a promising candidate in the application of high frequency and power electronics because of their good electrical conductivity and high optical transmission as a transparent conductive oxide (TCO). The Ni vacancies form a defect level located 0.35~0.4 eV above the valence band of NiO [2]. Resistivity (ρ) and conductivity of NiO could be controlled according to changes in the concentration of Ni 3p ions [3]. Moreover, in an oxygen-rich atmosphere, additional oxygen diffusing into the NiO structure cause formation of Ni3 ions and Ni vacancies. [4, 5, 6].

In this work, heterojunctions of NiO / 4H-SiC are fabricated, NiO films are deposited by RF magnetron sputtering on n-type 4H silicon carbide (4H-SiC) substrates [7,8]. Surface morphology characteristics of thin films by post-annealing were analyzed by using various measurement equipment, such as X-ray Photoelectron Spectroscopy (XPS), and Atomic force microscopy (AFM). Furthermore, we have investigated the electrical properties of the device. Through current-voltage (I-V) characteristics, we have analyzed V_{TH} , ON-OFF ratio, and barrier height.

Keywords:

RF sputtering,
Nickel Oxide,
Heterojunction,
Silicon carbide

a. Corresponding Author ; smkoo@kw.ac.kr

4H-SiC MPS다이오드의 SBD 영역 비율이 전기적 특성에 미치는 영향

강예환¹, 김기현¹, 윤승복¹, 문정현², 강인호², 정은식¹, 양창현^{1a}
Ye Hwan Kang¹, Ki Hyun Kim¹, Seung Bok Yun¹, Jeong Hyun Moon², In Ho Kang²,
Eun Sik Jung¹, Chang Heon Yang^{1a}

¹(주)에스파워테크닉스 ²한국전기연구원

Abstract:

iC(Silicon Carbide) 기반의 다이오드 종류로, PiN다이오드, SBD(Schottky Barrier Diode), JBS(Junction Barrier Schottky)다이오드, MPS(Merged PiN Schottky) 다이오드 등이 있으며, 현재까지도 활발히 연구개발이 진행되고있다. PiN 다이오드는, 높은 전압에 대한 내성을 위해 진성 캐리어 농도에 가까운 도핑농도를 가지는 드리프트영역(i 영역)을 PN접합 사이에 추가한 구조를 PiN 다이오드 소자이다. SBD는 Schottky 접촉을 통한 다이오드 특성을 구현하며, 금속은 반도체와 반대 극성을 가진 반도체와 같은 특성을 나타내게 된다. 금속마다 일함수가 달라 Schottky 금속과 도핑농도에 따라 다이오드의 순방향 특성이 결정 된다. JBS 다이오드는 SBD 다이오드의 Schottky 영역과 P-barrier 영역을 구분하여 구성하며, SBD의 면적과 P-barrier 면적의 비율에 따라 전기적 특성이 변화하는 특성을 나타낸다. MPS 다이오드는 구조적으로 JBS다이오드와 유사하지만 플로팅 되어 있는 P-barrier에 Ohm 접촉을 통한 직접적인 전압이 인가되는 구조이다. 따라서, P-barrier에 Ohm 접촉으로 구성된 영역은 PiN 다이오드와 같은 특성을 보이게 된다. 결과적으로 MPS는 PiN 다이오드와 SBD가 병렬로 연결된 구조를 가진다.

MPS 다이오드의 장점은 SBD와 PiN의 다른 동작 전압으로 인하여 두 구간에서 흐르는 전압에서 차이가 발생한다. 이러한 차이로 인하여 저전압 구간에서 SBD가 동작하여 전류가 흐르며, 고전압 구간에서 PiN 다이오드가 동작하여 전류가 흐르는 형태를 나타낸다. 이러한 특성으로 동일한 면적의 JBS보다 더 큰 전류를 도통할 수 있으며, 역방향 특성에서는 PiN 영역의 직접적인 전압 인가로 인하여 넓은 공핍층이 형성되어 JBS보다 역방향 누설전류를 감소하는 특성을 가진다. 최종적으로 MPS는 SBD보다 낮은 누설전류를 가지며, JBS보다 높은 순방향 전류 특성을 나타낸다.

본 연구에서는 650V 20A급 SiC MPS 다이오드를 설계하였으며, 6인치 4H-SiC epitaxial 웨이퍼에 다양한 변수로 MPS 다이오드를 제작하여 전기적 특성을 비교 분석하였다. 제작한 MPS 다이오드는 JBS영역 대비 SBD의 비율을 60~87%로 변화하였으며, PiN영역은 전체 면적에 5%로 제한하고 소자의 크기를 동일하게 제작하였다.

Wafer 상태에서 전기적 특성을 확인하였을 때 JBS대비 SBD의 비율이 증가할 수록 턴온전압은 1.29~1.35V로 증가 하였으며, 누설 전류는 4.1~137nA로 증가하는 경향을 확인 할 수 있었다. 또한 항복전압은 JBS와 SBD의 비율에 관계없이 약 1,000V로 유사한 특성을 나타내었다.

TO-220 타입으로 패키지를 진행 한 결과, 순방향 특성은 약 5%이상 향상되었고 IFSM(surge peak forward current) 특성은 정격 전류의 약 10배로 196A로 확인되었다. 이 결과로 JBS영역 대비 SBD 영역의 비율이 증가 할수록 순방향 특성은 증가하며, 누설전류가 증가하는 것을 확인하였고, 고전류에서 PiN 다이오드가 동작하여 IFSM 특성이 향상됨을 확인하였다. IFSM특성이 정격의 약 10배로 확인된 결과, 고신뢰성이 필요한 어플리케이션에서 IFSM의 특성이 우수한 MPS다이오드를 통하여 제품의 신뢰성 향상을 도모할 수 있을 것으로 예상된다.

추후 본 연구자료를 토대로 Trade-off 관계인 SBD영역과 JBS영역 비율을 조절하여 소자의 크기, 정격 용량 등을 최적화 할 필요가 있으며 SiC MPS 다이오드의 사업화를 위한 기초자료로 활용 될 예정이다.

Keywords:

Silicon Carbide,
MPS Diode,
rSBD,
JBS Diode,
P-i-N Diode

a. Corresponding Author : chyang@ypt.co.kr

실리콘 에피텍셀 성장 방식을 이용한 SiC 금속 산화막 전계효과 트랜지스터

서재화, 문정현, 김형우, 김영조, 강인호, 김상철, 나문경, 하창승, 방욱^a
Jae Hwa Seo, Jeonghyun Moon, Hyoungwoo Kim, Young Jo Kim, In Ho Kang, Sang Cheol Kim, Moon Kyoung Na, Changseung Ha, Wook Bahng^a

한국전기연구원

Abstract:

본 연구에서는 실바코 전산모사를 통하여 실리콘 에피텍셀 성장 (Silicon epitaxial growth) 방식이 적용된 SiC 금속 산화막 전계효과 트랜지스터 (MOSFET)의 설계 및 특성 분석을 진행하였다.

본 연구에서 제안하는 SiC MOSFET은 게이트 옆 수직으로 형성된 실리콘 에피텍셀 구조층을 가지고 있다. 기 구조층은 N형 컨택 영역과 P형 채널 영역으로 구성되며 이를 통해 Si MOSFET과 유사한 스위칭 동작을 수행하게 된다. 하단부에 형성된 SiC 영역은 기존 SiC MOSFET과 동일하게 고전압 동작 시 충분한 항복전계를 견딜 수 있는 영역을 제공하게 된다.

이처럼 수직 적층된 Si 영역에서 수행되는 스위칭 동작을 통하여 수평소자에 비하여 소자 크기 (Cell pitch)를 줄일 수 있기에 Net die 향상이 가능하며, 소스 컨택 영역에서 사용되는 실리콘 박막은 기존 SiC MOSFET에 비하여 높은 금속 오믹 컨택을 형성하여 낮은 접촉 저항에 의한 전류의 손실 또한 막을 수 있다.

그리고 실리콘 영역에서 트랜지스터의 스위칭 동작을 수행하게 되므로, 상대적으로 향상된 스위칭 특성을 보유할 수 있기에 제안된 소자가 적용된 시스템에서의 전력 소모를 줄일 수 있을 것으로 기대된다.

Keywords:

SiC,
MOSFET,
SEG

a. Corresponding Author ; bahng@keri.re.kr

Study of 1.2 kV Edge Termination Structure for Stable Blocking Capability with the 4H-SiC/SiO₂ Interface Property

정지훈, 장민석, 김상우, 김미진, 이호준^a
Jee-Hun Jeong, Min-Seok Jang, Sang-Woo Kim, Mi-Jin Kim, Ho-Jun Lee^a

부산대학교

Abstract:

Edge termination structure with stable blocking characteristics was investigated to obtain 1.2 kV device with the 4H-SiC/SiO₂ interface property. The edge termination structures of field limit rings (FLRs) and ring-assisted junction termination extension (RA-JTE) were designed, and the electrical characteristics were extracted by using a numerical technology computer-aided design (TCAD) simulation in consideration of the surface trap density and the effectively fixed trap density. The simulated RA-JTE structure was less sensitive to the surface trap density than the FLRs structure because of single-junction termination extension region. Our simulation result showed that the standard deviation of the breakdown voltage of the RA-JTE structure was less than 1% for various surface trap densities from -1×10^{11} to $-5 \times 10^{12} \text{ cm}^{-2}$. However, the fixed trap density degraded both edge termination structures for blocking capability. We obtained the standard deviation of 1~14 % against the fixed trap densities from 1×10^{11} to $5 \times 10^{12} \text{ cm}^{-2}$.
Keywords:Power device, Edge termination structure, Interface property, Breakdown voltage

Keywords:

Power device,
Edge termination
structure,
Interface property,
Breakdown voltage

a. Corresponding Author ; hedo@pusan.ac.kr

다층으로 형성된 n-Type 4H-SiC Layer 특성 연구

성민재, 강민재, 김동은, 김성준, 박영재, 신훈규^a
Minjae Sung, Minjae Kang, Dong-Eun Kim, Seongjun Kim, Young Jae Park,
Hoon-Kyu Shin^a

포항공과대학교

Abstract:

Superjunction MOSFET을 구현하기 위한 핵심 공정은 charge valence를 위한 p-pillar 형성이 다. p-pillar를 형성하는 방법은 크게 2가지로 SiC drift layer를 깊이 식각 한 후 p-type SiC를 충전시키는 SiC filling 법이 있다 [1]. 다른 하나는 SiC epitaxial layer를 약 2~3 um로 성장한 후 2~3 um 깊이로 ion implantation을 반복하는 multi-epitaxy 법이다 [2]. 본 연구에서는 Superjunction MOSFET을 구현하는 multi-epitaxy 법을 적용하기 앞서, n-type 4H-SiC를 다층으로 적층하여 epi-quality를 평가하였다.

본 연구에서는 MOCVD (Axitron) 장비를 이용하여 일반적인 n-type 4H-SiC drift layer epitaxial 조건으로 성장한 샘플 (nitrogen doped 4H-SiC)과 농도가 변화되는 2 um epitaxial layer를 3단계로 성장한 샘플 (step-graded nitrogen doped 4H-SiC)을 제작하였다.

분석 결과 XRD, Raman Spectra analysis로부터 우수한 4H-SiC 결정성을 확인하였으나 SEM 측정으로부터 두께에 대한 미세한 오차가 있고 3단계로 성장한 샘플의 표면 거칠기가 3nm 이상으로 공정 조건 최적화가 필요함을 확인하였다. 도핑 농도 특성은 SSRM (Scanning spreading resistance microscopy) 분석을 통해 진행 중이다.

Keywords:

4H-SiC,
Superjunction
Structure,
Multi-epitaxy,
Crystal quality

a. Corresponding Author ; shinhk@postech.ac.kr

Effects of Ar Inductively Coupled Plasma-Treatment for NiAl Contacts on n-Type 4H-SiC

김성준, 박영재, 성민재, 강민재, 김동은, 광주영, 이남석, 신훈규^a
Seongjun Kim, Young Jae Park, Minjae Sung, Minjae Kang, Dong Eun Kim,
Juyoung Kwak, Nam Suk Lee, Hoon-Kyu Shin^a

포항공과대학교

Abstract:

Silicon Carbide (SiC) has attracted considerable attention for use in next-generation high power and high frequency electronic devices due to its outstanding physical characteristics including wide energy bandgap, high electric field, and high thermal conductivity [1]. However, some technical challenges such as specific resistance and thermal stability of Ohmic metals still remain to be overcome for high performance SiC power devices. High temperature stability of power devices is essential for high voltage and current applications. Also, thermal stability of ohmic metal is one of the key processes for driving performances and reliability of SiC power devices. Ni and Ti-based n-type ohmic contact have become a standard process for SiC device fabrication due to high reproducibility and low specific contact resistance (ρ_{sc}). Since ohmic contacts using standard Ni and Ti metal show poor thermal stability, research on securing thermal stability using various metal structures is being widely conducted [2,3]. On the other hand, Ar inductively coupled plasma (ICP) process is often applied to fabricate SiC power devices in order to remove native oxides or residues. The plasma process induces physical changes on the SiC surface and also obviously affects the ohmic contact to be formed thereon [4]. Therefore, it is essential to investigate the effect of plasma treatment on ohmic contact and its thermal stability.

In this study, we demonstrated the effects of plasma treatment on ρ_{sc} and thermal stability of the NiAl (2.5 wt % of Al) alloy contact on heavily doped n-type 4H-SiC. The carrier concentration (N) on n+-type SiC layer was determined to be $1.0 \times 10^{20} \text{ cm}^{-3}$ by secondary ion mass spectrometry (SIMS) and Hall-effect measurement. The SiC surface was treated by Ar plasma with 800W and 1500W for 5 sec in an ICP chamber before NiAl deposition. More details will be discussed in the conference.

Keywords:

Silicon Carbide,
MPS Diode,
rSBD,
JBS Diode,
P-i-N Diode

a. Corresponding Author ; hedo@pusan.ac.kr

향상된 트레이드 오프 특성을 갖는 멀티 에피 구조의 SiC JBS의
전계 분산 및 전기적 특성에 관한 연구

김대희, 남태진, 안병섭, 서정윤, 경신수^a
Deahee Kim, Taejin Nam, Byoungsup Ahn, Jeongyun Seo, Sinsu Kyoung^a
파워큐브세미 주식회사

Abstract:

일반적인 반도체 소자보다 더 높은 전압과 전류 수준을 변환, 제어 및 처리하는 전력반도체는 필연적으로 높은 내압을 확보하면서 저항을 줄이는 것이 중요하다. 실리콘 카바이드(이하 SiC)는 넓은 에너지 밴드갭에 기인하여 전력반도체에 필요한 높은 내압을 제공하며 높은 열전도성과 녹는점으로 인하여 고온에서 동작이 가능하고 빠른 전자포화속도로 고주파수 영역에서 동작이 가능하게 하는 등의 장점을 지니고 있어 유망한 차세대 전력반도체 재료로 각광받고 있다.

SiC SBD는 금속과 SiC 반도체의 쇼트키 접합을 이용한 소자로, 낮은 순방향 전압 강하와 우수한 역회복시간을 가짐과 동시에 높은 내압을 갖는 것이 특징이다. 이러한 SiC SBD 역시 높은 내압을 유지하며 온저항을 줄이고자 다양한 연구들이 이루어지고 있는데, 그 중에서도 대표적인 방법은 추가적인 P 영역을 형성시킨 JBS(Junction Barrier Schottky) 구조이다. JBS의 주 원리는 전압인가 시 쇼트키 접합부에 인가되는 전계를 P 영역을 통해 분산시켜 높은 항복전압과 낮은 누설전류를 확보하는 것이다. 하지만 필연적으로 P 영역이 확보되는 만큼 온저항에서는 손실이 나타나며 결국 항복전압과 온저항은 trade-off 관계에 있다.

본 연구에서는 동일한 수준의 온저항을 유지하면서 높은 항복전압과 낮은 누설전류를 달성하고자 쇼트키 접합부를 multi-epi로 구성한 JBS 구조를 소개한다. 쇼트키 접합부는 높은 농도로 구성되기 때문에 전계에 대해 더 취약해질 수 있지만, 그만큼 뛰어난 온저항을 확보할 수 있게 한다. 또한 높은 농도의 쇼트키 접합부는 기존 소자 대비 작은 너비만으로 동일한 온저항을 달성할 수 있기 때문에 추가되는 P 영역을 더욱 확장시켜 전압 인가 시 기존보다 안정적으로 분산된 전계 분포를 갖게 한다. 구조의 전기적 특성은 Synopsys社의 Sentaurus 시뮬레이션 툴을 이용하여 검증하였다.

본 연구에서 제안된 JBS 구조는 동일한 온저항 수준에서 약 15% 이상 향상된 항복전압과 낮은 누설전류를 보이며, 특히 쇼트키 접합부에서 감소된 전계 피크치를 통해 보다 안정적인 전계 분산의 형태를 나타낸다. 따라서 본 연구에서 제안된 구조는 SiC SBD의 동일한 온저항 특성을 유지함과 동시에 소자의 강건성을 높일 수 있음을 제시한다.

Keywords:

SiC,
SiC SBD,
JBS,
Multi-epi,
E-field

a. Corresponding Author ; sskyoung@powercubesemi.com

Neutron Transmutation Doped-SiC의 비저항 측정 연구

박준식¹, 박병건^{1a}, 백하니², 선광민¹
Junesic Park¹, Byung-Gun Park^{1a}, Hani Baek², Gwang Min Sun¹
¹한국원자력연구원 ²한국표준과학연구원

Abstract:

탄화규소(SiC)는 실리콘에 비해 넓은 밴드갭 에너지와 높은 파괴전압 등 물성이 우수한 반도체 물질로서, 기존 실리콘 기반 소자로 구현하기 어려운 고내압 소자나 높은 신뢰도가 요구되는 소자 제작을 위한 연구가 활발히 진행되고 있다. 그러나 물질의 낮은 용해도로 인하여 불순물 및 결함의 제어가 어려워 여전히 관련 연구 또한 지속적으로 이루어지고 있다. 이와 관련하여 한국원자력연구원에서는 SiC의 균일한 도핑을 위한 NTD (neutron transmutation doping) 연구를 수행해왔으며 4H-HPSI SiC 웨이퍼를 이용한 NTD 도핑을 성공적으로 수행하고 있다. 도핑된 웨이퍼는 대략 10¹⁴ cm⁻³의 도핑농도를 가질 것으로 예상되며 비저항 측정을 통해 도핑 품질을 제시할 계획이다. 본 연구에서는 SiC의 비저항 측정을 위해 다양한 반도체 비저항 측정 방법을 도입하여 테스트하였고 그 결과에 대해 논의하였다. 일반적으로 SiC의 비저항 측정은 TLM, Capacity, Eddy current 등의 방법이 사용되고 있으며 웨이퍼의 타입에 따라 선택적으로 사용된다 [1-4]. 본 연구에서는 실리콘 웨이퍼 비저항 측정 에 사용되는 Four-point probe (4PP) 방법과 더불어 Eddy current, I-V/C-V 측정을 이용한 추론법을 이용하여 2.5 ~ 9.45×10¹⁴ cm⁻³의 low-doped SiC 웨이퍼를 이용하여 비저항 측정 연구를 수행하였다. 실험에는 NTD와 Epitaxial 웨이퍼가 사용되었으며 4PP, Eddy current의 경우 실리콘 표준시료와 함께 비교연구를 수행하였다. 또한 NTD 시 중성자 영향을 분석하기 위해 중성자 결함을 가지는 SiC의 전기적 특성변화에 대해서 논의하였다. 본 연구에서 중성자 결함을 가지는 Epitaxial SiC의 ideality factor는 최대 1.03에서 1.54로 증가하였고 C-V 커브로 도출한 Nd 또한 6.3배 감소하는 모습을 보였다. 본 연구 결과는 NTD-SiC 및 중성자 결함을 가지는 SiC의 물성 측정 방법 및 연구 데이터로 사용될 수 있다.

Keywords:

탄화규소,
SiC,
비저항,
중성자변환도핑,
NTD

a. Corresponding Author ; bgpark@kaeri.re.kr

유지연, 강이구^a, 김유림, 정현석
Jiyeon Ryou, Ey Goo Kang^a, Yu Rim Kim, Heon Seok Chung

극동대학교

Abstract:

현재, 전력반도체 소자의 산업분야 응용은 전체 산업으로 확장되고 있다. 특히, 전력송배전분야에서 스위칭 소자로 활용되고 있는 사이리스터 소자가 초고전압 전력 IGBT소자로 대체되고 있음과 동시에 SiC와 같은 화합물 전력반도체 소자가 나오면서 소자의 크기는 소형화 되면서 스위칭 손실이 적은 초 고전압 전력 MOSFET소자로 대체되고 있다.

따라서 본 논문에서는 발전소에서 발생한 전력을 전달하는 송배전분야에서 널리 사용되는 4.5kV급 전력반도체를 연구하고자 하였으며, 해당 전력반도체 소자는 SiC 기반으로 함과 동시에 트렌치 게이트 구조를 갖는 전력 MOSFET을 공정 및 소자 시뮬레이션을 통해 최적 설계를 하였고, 이를 통해 소자 및 공정 핵심 파라미터를 도출하였다. 도출된 파라미터를 가지고 반복하여 시뮬레이션을 통해 산업분야에 활용할 수 있는 우수한 전기적인 특성을 보여주었다.

핵심 전기적인 특성중에 하나인 항복전압 특성은 10%의 마진을 두고 실험을 한 결과 드리프트층의 두께가 10 μ m에서 5kV의 항복전압을 얻을 수가 있었다. 또한 온 저항 특성은 예상한대로 Si기반의 전력 IGBT소자보다 1/100 정도의 수준에서 매우 우수한 특성을 가져올 수 있었다. 그리고 전력 MOSFET 소자는 꼬리 전류가 없고, 소수캐리어축적현상이 없기 때문에 턴 오프시 에너지 손실이 없는 좋은 스위칭 특성을 얻을 수가 있었다.

결론적으로, 향후 송배전산업분야에서 사용되는 전력반도체 소자는 Si 기반 보다는 화합물 반도체 기반으로 해서 대체될 것이며, 그 중 SiC 기반 소자는 선두주자로 나설 것으로 판단된다.

Keywords:

SiC,
IGBT,
MOSFET,
전력반도체,
항복전압

a. Corresponding Author ; keg@kdu.ac.kr

김유림, 강이구^a, 조형성, 정현석
Yu Rim Kim, Ey Goo Kang^a, Hyeong Seong Jo, Heon Seok Cheong

극동대학교

Abstract:

본 연구에서는 1700V SiC 전력 MOSFET의 최적설계 및 전기적인 특성을 분석을 진행하여 기존 의 소자에 비해 그 우수성을 입증하려고 하였다. 이미 알려진 바와 같이 SiC 기반으로 한 화합물 전력 반도체 소자는 Si 기반의 전력반도체 소자보다 에너지 밴드갭이 넓어 Si 전력반도체 소자의 단점 이라고 할 수 있는 SiC 소자에 비해 대형화, 그리고 열특성을 충분히 개선할 수 있어 4차산업이라고 할 수 있는 전기자동차 및 자율주행차 산업에 그 수요가 증가하고 있는 실정이다. 또한 Si 기반의 전력 MOSFET 소자는 주로 중전압용으로 사용되고 있는데, SiC 기반의 소자가 나오면서 IGBT 소자의 영역으로 보고 있는 1200V 이상의 고전압에도 많은 응용이 되고 있다.

따라서 본 논문에서는 자동차용 반도체 및 풍력용 인버터에 사용될 수 있는 1700V급의 SiC 전력 MOSFET을 설계하고자 하였으며, 새로운 구조를 제안하고 TCAD 툴을 이용해 공정시뮬레이션을 수행하였다. 이를 통해 최적의 공정파라미터를 도출하였다. 도출된 최적구조를 이용해 소자 시뮬레이션을 수행하였으며, 항복전압, 온 저항 및 스위칭 에너지 손실 등의 전기적인 특성을 분석하였다. SiC 기반으로 하였기 때문에 Si소자에 비해 10배정도 크기를 줄였음과 동시에 30% 마진을 고려하여 2000V 이상의 항복전압을 얻을 수 있었다. 또한 가장 중요한 특성중에 하나인 온 저항 특성은 SiC 기반 소자의 장점으로 Si 기반에서 발생하는 온 저항보다 상당히 낮은 저항을 얻을 수 있어서 에너지 효율이란 측면에서 우수한 특성을 얻을 수가 있었다.

본 논문에서 설계한 1700V SiC 전력 MOSFET 소자는 자동차에 사용되는 다양한 스위칭 소자에 활용될 수 있으며, 풍력용 인버터에 들어가는 전력 IGBT 소자를 충분히 대체하여 스위칭 에너지 효율을 증진시킬 수 있을 것으로 생각한다.

Keywords:

SiC,
MOSFET,
스위칭 에너지,
IGBT,
항복전압

a. Corresponding Author ; keg@kdu.ac.kr

P-well Straggle Effect Induced Bottom Oxide Protection of 4H-SiC UMOSFET

유다희, 이호준^a, 왕태희, 박민상, 정성현
Dahui Yoo, Ho-Jun Lee^a, Taehui Wang, Minsang Park, Sunghyeon Jung
부산대학교

Abstract:

The latest generation of wide band-gap power semiconductors apply the vertical direction of both current and channel. The gate electrode of 4H-SiC UMOSFET(U-Metal Oxide Field Effect Transistor) is filled in the epi layer. The structure enables condensed device integration. There are, however, a few factors to handle its electrical characteristics. One of them, the main issue that the writer solves, is electrical field crowding at the curved area of the bottom oxide. BPW(Bottom P-Well implantation) has been utilized to relieve electrical field stress. In this paper, P+ straggle effect is additionally adapted to BPW, reducing risk of high electrical field stress at the gate dielectric with effect. Optimization of aluminum implantation parameters is also conducted to suggest ideal device operation.

To put more details on the research method, there are two points. Conditions that p+ straggle impact could be observed is the first point. Owing to the low diffusion constant of 4H-SiC, both straggle and tunneling phenomena have not been occasionally manipulated to fabricate power devices, or MOSFET. Recent research, on the other hand, has verified that p+ straggle effect exists whether these three conditions are satisfied: low epi concentration, high dose, and low energy of aluminum implantation. [1-3] By optimizing straggled BPW profile, this research will show enhanced backward characteristics of 4H-SiC UMOSFET. Second is TCAD. Accurately predicted simulation results are studied from Sentaurus, Synopsis. Profiling of each part of a fabricated device is calculated based on the Monte Carlo method. Static characteristics of a devices is also predicted.

Based on Sentaurus TCAD simulation this paper suggests that p+ straggle effect induced BPW enhances reliabiliy of gate bottom oxide of 4H-SiC UMOSFET.

Keywords:

Trench MOSFET,
UMOSFET,
BPW,
P+straggle,
Sentarus

a. Corresponding Author ; hedo@pusan.ac.kr

Measurement and Evaluation of Vth Instability with PBTS of 1200 V/80 mΩ Commercial SiC-MOSFETs

이건희¹, 임장권², 미에택 바코스키², 구상모^{1a}
Geon-Hee Lee¹, Jang-Kwon Lim², Mietek Bakowski², Sang-Mo Koo^{1a}
¹광운대학교 ²RISE

Abstract:

The need for power semiconductors for automobiles is increasing due to the rapid growth of the electric vehicle market, and SiC-based power devices, which boast lightweight and high efficiency, are the attention due to the characteristics of electric vehicles. As a characteristic of SiC materials, defects and traps that occur naturally during processing exist, and in SiC-MOSFETs, mostly carrier capture by SiO₂/SiC interface traps occurs in the MOS region, resulting in changes in electrical properties. In this paper, NBTS (Negative Bias Temperature Stress) and PBTS (Positive Bias Temperature Stress) were measured and compared by applying DC bias stress to the gate of a 1200 V/80 mΩ SiC-MOSFETs, which is currently commercialized for automobility. At this time, the maximum V_{GS} based on the datasheet of each device was applied, and we measured the Vth instability according to the time dependence of gate stress. The negative and positive bias applied to V_{GS} causes carriers to change to accumulate in the interface trap existing in the MOS structure, and this causes Vth to decrease or increase. The large deviation of the Vth shift means that the interface trap distribution is different, the operation of the power device affects the gate oxide, and the difference in the effective life of the gate oxide occurs. It was confirmed that the NBTS showed a difference of about 20 mV for 90 minutes and stabilized, and the PBTS showed a difference of about 180 mV for 380 minutes and it was not stabilized. The measurement time difference between NBTS and PBTS is about 4 times, and the difference in Vth instability is 10 times different. This means that PBTS seriously affects Vth instability, increases R_{DSon}, and increases turn-on loss during switching. Keywords:Silicon carbide, MOSFET, Commercial, HTGB, High temperature gate bias

Keywords:

Silicon carbide,
MOSFET,
Commercial,
HTGB,
High temperature
gate bias

a. Corresponding Author ; smkoo@kw.ac.kr

Post-Annealing Influence on Electrical Properties of Li₃PO₄/4H-SiC

이형진, 문수영, 김민경, 구상모^a
Hyung-Jin Lee, Soo-Young Moon, Minkyung Kim, Sang-Mo Koo^a
광운대학교

Abstract:

Lithium-ion batteries are commonly used as power sources for digital devices due to their high energy density. Recently, lithium-ion batteries have also found use in electric vehicles, where high power is required. Because of its application in transportation, safety issues of lithium-ion technology is attracting attention. Traditional lithium-ion batteries have low thermal stability and a low flame point, so if a highly flammable liquid or polymer electrolyte is used incorrectly, there is a risk of fire accidents or explosions. To address these safety issues, the use of highly flammable liquid electrolytes should be avoided. As such, all-solid-state batteries (ASSBs) are a better choice because liquid electrolytes are replaced by inorganic solid electrolytes with high thermal stability. One of the most widely used solid electrolytes in thin film batteries and many other technologies is amorphous lithium phosphate (Li₃PO₄). The use of a solid electrolyte physically hinders the anisotropic growth of lithium, thus preventing the formation of lithium dendrites. They also have the advantage of increased energy density, enhanced safety, and solid device integration.

In this study, the electrochemical and structural characteristics of Li₃PO₄ thin films were studied and analyzed in relation to the applied post-annealing temperature. The thin film was deposited by radio frequency (RF) sputtering. As-deposited films, and films annealed at 200°C, 300°C and 400°C were analyzed using X-ray diffraction (XRD), and field emission scanning electron microscope (FE-SEM). Through XRD analysis, five peaks corresponding to β-phase were identified in all samples. Several crystallite sizes of samples were confirmed by SEM. We also measured the current-voltage (I-V) relationship of the studied samples. The analysis confirms a phase change of the films and the increase or decrease of the leakage current of Li₃PO₄ depending on the applied post-annealing temperature.

Keywords:

Li₃PO₄,
XRD,
SEM,
I-V curve,
Solid electrolyte

a. Corresponding Author ; smkoo@kw.ac.kr

Deep Level Defects in 4H-SiC SBD and PiN Diode Structures

신명철, 문수영, 변동욱, 구상모^a
Myeong-Cheol Shin, Soo-Young Moon, Dong-Wook Byun, Sang-Mo Koo^a
광운대학교

Abstract:

Silicon Carbide (SiC) is an attractive material with excellent properties for high-power, high temperature and high-speed switching applications. Among SiC poly-types in 3C,4H and 6H-SiC, 4H-SiC has great electrical and materials properties, such as wide bandgap (~3.3eV), critical electrical field (~2.5MN/cm), small anisotropy and high radiation hardness. Owing to these characteristics, 4H-SiC devices are widely used to operate in harsh environments.

Developing a clear understanding of defects of operational semiconductors is extremely important. In particular deep energy level defects can negatively impact device performance due to carrier trapping and reduced the minority carrier lifetime in semiconductors. Therefore, it is important to identify and control deep level defects especially in devices based on wide bandgap materials such as SiC, which are of great importance for use in high speed and high power applications. The origin of certain defects is still an open question because of the nature of SiC substrate and device manufacture processes.

Z1/2 traps are well known as intrinsic defects present in almost all n-type 4H-SiC crystals. The Z1/2 trap is reported to be a defect that occurs during epitaxial layer growth. In this study, deep levels in n-type 4H-SiC epitaxy layer of the Positive-Intrinsic-Negative (PiN) diode and Schottky barrier diodes (SBD) by using deep level transient spectroscopy (DLTS). The I-V characteristics of the PiN devices shows about ~100 times lower the leakage current level than SBD due to the grid structures in PiN. As a result of comparing the capacitance of PiN, SBD devices, it can be seen that the capacitance value decreases as the P implantation regions increases from C-V characteristics. In three two of diodes, the trap corresponding to the low energy levels were observed with slightly different values of 0.292 eV for SBDs.

Keywords:

Silicon carbide,
DLTS,
Deep level trap,
PiN diode,
Schottky barrier diode

a. Corresponding Author ; smkoo@kw.ac.kr

Effect of Annealing Atmosphere on Electrical and Deep Level Traps Properties of Ga₂O₃/4H-SiC Heterojunction

변동욱¹, 김민영¹, 문수영¹, 이희재¹, 이건희¹, 신명철¹, 문정현², 방욱², 마이클 A. 슈바이츠¹, 구상모^{1a}
Dong-Wook Byun¹, Min-Yeong Kim¹, Soo-Young Moon¹, Hee-Jae Lee¹,
Geon-Hee Lee¹, Myeong-Cheol Shin¹, Jeong Hyun Moon², Wook Bahng²,
Michael A. Schweitz¹, Sang-Mo Koo^{1a}

¹광운대학교 ²한국전기연구원

Abstract:

The point defects in deep level may negatively affect power semiconductors, for example by trapping charge carrier, increasing reverse current, and reducing carrier lifetimes. Therefore, it is important to identify and control deep level defects especially in devices based on wide bandgap materials such as silicon carbide (SiC) and gallium oxide (Ga₂O₃), which are of great importance for use in high speed and high-power applications.

Among the wide-bandgap (WBG) semiconductor materials such SiC, Ga₂O₃, and GaN, the Ga₂O₃ (EG = ~4.8 eV) is emerging as a replacement for today's commercially available WBG power electronics due to its generational improvements in performance and manufacturing cost. The availability of high-quality Ga₂O₃ substrates produced from melt-grown bulk single crystals also facilitates the development of vertical power devices. Additionally, several epitaxy growth methods such as metal organic chemical vapor deposition (MOCVD), molecular beam epitaxy (MBE), and have been broadly explored for growth optimization and heterostructure development, device characterization.

Despite various efforts of research in Ga₂O₃, the lack of controlling defects and dopants hinders the development of high-performance devices. It can negatively impact the performance of devices. Consequently, it is essential to understand the nature of defects and other characteristics such as intrinsic vacancies (V_{Ga}, VO), impurities, interstitial or substituted atoms and their complexes. Identifying and controlling deep level defects is especially important in devices used for high-power applications, which frequently contain wide-bandgap semiconductor materials such as Ga₂O₃.

In this work, Ga₂O₃/4H-SiC heterojunction diodes were fabricated by deposition on SiC substrates using RF sputtering, and post annealing using a tube furnace under different atmospheres. The effect of the annealing atmosphere on electrical characteristics and deep level trap properties in devices was examined by measuring the current-density-voltage (J-V), capacitance-voltage (C-V) characteristics, Hall effect, and using deep level transient spectroscopy (DLTS).

Keywords:

Ga₂O₃,
SiC,
Heterojunction,
DLTS,
Deep Level Trap

a. Corresponding Author ; smkoo@kw.ac.kr

고온 유지에 따른 Cu@Ag 소결 접합 특성
(Sintering Bonding Characteristics of Cu@Ag by High Temperature Storage Test)

김다정, 원미소, 양현승, 오철민^a
Dajung Kim, Mi So Won, Hyunseung Yang, Chulmin Oh^a

한국전자기술연구원

Abstract:

에너지 절감과 환경오염 규제에 대한 관심이 커지고 있는 현 시대에 맞춰, 다양한 분야에서 전기를 절약하기 위하여 고효율, 친환경의 전력반도체 소자에 대한 연구개발이 활발히 진행 중이다. 특히 솔더 접합 공정의 한계점을 극복할 수 있는 여러 가지 새로운 접합 기술이 활발히 연구되고 있는 실정이다. 기존 솔더 접합의 고온에서의 장기 신뢰성 보장이 힘든 점을 보완 할 수 있는 Ag sinterng 접합 방식이 각광을 받고 있으며 더 나아가 고가의 Ag에 비해 저렴하면서 전기전도성이 우수한 소결용 Cu paste 개발에 많은 연구진들이 힘을 쏟고 있는 실정이다.

본 연구에서는 Cu의 낮은 내식성으로 공기 중의 습기에 의해 쉽게 산화되어 전기전도성을 감소시키는 단점을 보완하기 위하여 Cu 입자의 표면에 Ag를 도금한 형태의 분말을 사용하여 Ag coated Cu paste를 제조하였다. 완성된 paste를 이용하여 Cu DBC 기판에 Si chip을 9MPa압력으로 250℃에서 소결접합 후 장기신뢰성 시험을 진행하였다. WBG(wideband gap) 전력 모듈은 일반적으로 200℃를 초과하는 온도의 작동 조건을 견뎌야 하기 때문에 그보다 가혹한 조건인 최고 온도 300℃의 질소분위기와 산소분위기에서 각각 500시간동안 시험을 진행하였다. 시간에 따른 열화 특성을 알아보기 위하여 전단시험기를 이용하여 접합강도를 측정하고, 접합층을 단면 분석하여 미세조직을 주사전자현미경(SEM, Scanning Electron Microscope) 및 투과전자현미경(TEM, Transmission Electron Microscope)으로 관찰하였다. 그 결과, 각각의 분위기에서 열화되는 동안 다른 형태의 미세조직 변화가 관찰되었고, 그 메커니즘을 규명하여 Ag coated Cu paste를 이용한 전력모듈의 고온에서의 장기적인 신뢰성을 이해하고 더 나아가 고신뢰성 확보에 기여할 것으로 사료된다.

Keywords:

Power Module,
Die attach,
Ag coated Cu particle,
Thermal reliability

a. Corresponding Author ; cmoh@keti.re.kr

Evaluation of Amino-Silane Modification on 4H-SiC Surface for Sensor Application

한성웅^a, 김성준, 김동은, 박영재, 성민재, 강민재, 강민식, 신훈규
Sung-Woong Han^a, Seungjun Kim, Dong-Eun Kim, Young Jae Park, Min-Jae Sung, Min-Jae Kang, Min-Sik Kang, Hoon-Kyu Shin

포항공과대학교

Abstract:

Silicon carbide (SiC) is a material with multifunctional properties for the development of novel devices and applications. The physical properties of SiC such as low friction coefficient, high wear resistance, and chemical inertness make this materials attractive for the sensor application of harsh environment such as oil development, radiation, and ocean sensor, and so on.

In this study, we evaluated covalent modification of 4H-SiC substrate and its surface functionalization with amino-silane for the application of sensor devices. 4H-SiC substrates were prepared by thermal oxidation and pre-treated with H₂. The oxidized surface was then treated with (3-aminopropyl)triethoxysilane in order to further modify target molecules. The surface modification was compared with other surfaces such as silicon (Si), gold quartz crystal (QC), and 4H-SiC surface. The cyclic voltammetry measurements was performed for the evaluation of the modification of amino groups on the surfaces by the peak change of oxidation and reduction.

Keywords:

Silicon Carbide,
Surface
Functionalization,
Redox Potential,
Cyclic Voltammetry,
Extreme Environment
Sensor

a. Corresponding Author ; swhan@postech.ac.kr

High Breakdown Voltage of Boron-Doped Diamond Metal Semiconductor Field Effect Transistor Grown on Freestanding Heteroepitaxial Diamond Substrate

최익호¹, 객태명¹, 한상훈¹, 김성우², 남옥현^{1a}
Uiho Choi¹, Taemyung Kwak¹, Sanghun Han¹, Seongwoo Kim², Okhyun Nam^{1a}

¹한국공학대학교 ²Adamant Namiki Precision Jewel Co., Ltd.

Abstract:

Single crystal diamond is a very promising semiconductor material for future high-power and high-frequency electronics because of its high critical electric field, high carrier mobility, and high thermal conductivity. Therefore, diamond is expected to show a very high figure of merits for those applications [1]. Boron-doped diamond field-effect transistor(FET) has been demonstrated since late 1980s. This bulk-doped type devices showed a relatively lower current density than those of surface-modified(H-terminated) channel FETs [2]. However, because the channel instability of the H-terminated diamond-based FETs after high-temperature annealing has been reported, the development of bulk-doped diamond FET is necessary for practical needs. [3]. Most of the research on bulk-doped FETs has been demonstrated using a size-limited and high-priced high-pressure and high-temperature(HPHT) diamond substrate. In this study, we demonstrated the boron-doped diamond FET grown on a hetero-epitaxial diamond substrate(KENZAN Diamond™) having the potential of a large diameter developed by Adamant Namiki Precision Jewel Co., Ltd. [4,5]. Details will be presented at the upcoming conference.

Keywords:

Single crystal
diamond,
Boron-doped
diamond,
Diamond field-effect
transistor,
Metal-semiconductor
FET

a. Corresponding Author ; ohnam@tukorea.ac.kr

High Breakdown Voltage of Boron-Doped Diamond Metal Semiconductor Field Effect Transistor Grown on Freestanding Heteroepitaxial Diamond Substrate

김민호¹, 남옥현^{1a}, 최익호¹, 김건오¹, 허윤석¹, 이경재², 이상민²
Minho Kim¹, Okhyun Nam^{1a}, Uiho Choi¹, Keono Kim¹, Yunseok Heo¹, Kyeongjae Lee², Sangmin Lee²

¹한국공학대학교 ²웨이비스

Abstract:

During the last three decades, gallium nitride (GaN)-based electronic devices for high-power and high-frequency applications have been widely studied and industrialized because of its wide bandgap, strong polarization charge density, and high electron velocity. For more high power and high frequency electronic devices, AlN is one of the most promising materials, owing to the higher critical electric field (11.7MV/cm) and excellent thermal conductivity (300 W/mK), compared to GaN.

Oliver hilt et al. reported a device having excellent dispersion characteristics and breakdown voltage in an AlGaIn/GaN with AlN buffer compared with carbon doped GaN buffer.[1]. Recently, A. L. Hickman et al. demonstrated the first mm-wave frequency operation of AlN/GaN/AlN DH structure HEMTs, showing a 2.5W/mm output power density with an associated 29% PAE at K-band, and 2.2W/mm output power density with an associated 12.8% PAE at W-band.[2]

In this study, nano-voids embedded low-temperature interlayer was introduced and high-quality AlN buffer layer successfully grown. In addition, the strain of the buffer and channel layer was analyzed by control of the growth condition, and the device was demonstrated also.

Keywords:

Aluminium nitride,
Double-heterostructure high-electron mobility transistor,
Radio-frequency device,
Nitride device,
Metal-organic chemical vapor deposition

a. Corresponding Author ; ohnam@kpu.ac.kr

Electrical Properties of Metal-Insulator-Semiconductor Structure Diamond Schottky Barrier Diode Grown on Hetero-Epitaxial Diamond Substrate

한상훈¹, 곽태명¹, 최익호¹, 강현우¹, 김성우², 남옥현^{1a}
Sanghun Han¹, Taemyung Kwak¹, Uiho Choi¹, Hyeonu Kang¹, Seong-Woo Kim², Okhyun Nam^{1a}

¹한국공학대학교 ²Adamant Namiki Precision Jewel Co.

Abstract:

Single crystal diamond is one of the most promising candidate materials for next-generation power electronic devices owing to its high carrier mobility, high breakdown field, and thermal conductivity. Previous studies of diamond power devices have been reported [1]. Microwave plasma chemical vapor deposition (MPCVD) is one of the most promising technique to develop large-size single crystal diamond. Recently, Namiki corporation successfully demonstrated the MPCVD-grown large-size single crystal diamond [2]. By using large size single crystal diamond substrates, it is expected to realize commercialization of diamond based high power devices such as Schottky barrier diode (SBD) and Field effect transistor (FET). Diamond SBD has advantages such as low turn on voltage, fast switching and high temperature operation. Despite the advantages of diamond SBD, inhomogeneity of Schottky barrier height (SBH) and high reverse leakage current issues still need to be improved.

In this study, we fabricate metal-insulator-semiconductor (MIS) SBD to reduce the Schottky barrier height lowering effect which causes high reverse leakage current [4]. The thin Hf insulator film was used to improve device characteristics. The figure 1 shows the cross-section schematic structure of diamond MIS-SBD and I-V curve of diamond MS and MIS SBD. The MIS-SBD fabrication process was carried out device electrical properties were measured by using Key sight B1505 power analyzer. The detailed measurement results will be presented at the conference.

Keywords:

Diamond,
Schottky

a. Corresponding Author ; ohnam@tukorea.ac.kr

Characterization of the Barrier Height Distribution in Ga₂O₃/4H-SiC Schottky Diodes

김민영, 문수영, 이희재, 변동욱, 마이클 A 슈바이츠, 구상모^a
Min-Yeong Kim, Soo-Young Moon, Hee-Jae Lee, Dong-Wook Byun, Michael A. Schweitz, Sang-Mo Koo^a

광운대학교

Abstract:

Schottky barrier diodes (SBDs) based on wide bandgap (WBG) semiconductors like silicon carbide (SiC), gallium nitride (GaN), gallium oxide (Ga₂O₃) are predicted to play a pivotal role in future high power electronic systems. Among WBG materials, the large bandgap of Ga₂O₃ (~ 4.9 eV) allows it to handle large electric fields, which in turn gives it Baliga’s figure of merit for power devices which is highly larger than that of SiC and GaN, respectively.

The most challenging issues in Ga₂O₃ semiconductors include the relatively low thermal conductivities (10-29 W/m·K) as compared to other WBG materials such as SiC and GaN, which can cause a severe self heating effect that is deteriorating device reliability. One of the methods to mitigate increasing the device performance of Ga₂O₃ devices is the use of heterogeneous substrates with high thermal conductivity like SiC.

A major requirement of the SBD is to obtain a homogeneous barrier at the metal contact interface for predicting the electrical properties of the diode, regardless of temperature or the metal contact. To date, there are many studies of metal-semiconductor interfaces using different metals on Ga₂O₃ substrates. Although it is important to develop an understanding of the inhomogeneity of metals and deposited Ga₂O₃ by the fact that needing a heterogeneous structure to reduce self heating effect, it is still lacking.

In this work, we will present SBD characteristics on Ga₂O₃ films which were deposited on SiC substrates by comparing Ni and Au metals to Schottky barrier properties. To explain the existence of barrier height (SBH) inhomogeneities at the interface with the SBH temperature dependence, the SBH and the ideality factor of the junction were calculated using the thermionic emission model and were found to be temperature dependent. By analyzing these results, we shall discuss the correlation between electrical properties, carrier transport mechanism, and inhomogeneity of the Schottky barrier.

Keywords:

Temperature dependence, Gallium oxide, Schottky diodes, Schottky barrier, Carrier transport mechanism

a. Corresponding Author ; smkoo@kw.ac.kr

Study of Improving Surface by Nozzle Tilt on Aerosol Deposition

정승우, 이형진, 변동욱, 이건희, 마이클 A. 슈바이츠, 신원호, 오종민, 박철환, 구상모^a
Seung-Woo Jung, Hyung-Jin Lee, Dong-Wook Byun, Geon-Hee Lee, Michael A. Schweitz, Weon Ho Shin, Jong-Min Oh, Chulhwan Park, Sang-Mo Koo^a

광운대학교

Abstract:

The 4th industrial revolution requires high-voltage and high-efficiency power semiconductors for a wide range of applications, which include high-voltage and direct current (HVDC), renewable energy, electric vehicle (EV), and inverters. The first-generation power semiconductor material of silicon is still used in many places, but technological limitations require next-generation materials to substitute the silicon. Currently, the emerging material of gallium oxide (Ga₂O₃), silicon carbide (SiC), and gallium nitride (GaN) such as wide-bandgap semiconductors is replaceable for silicon (Si). Among them, the Ga₂O₃ has a wider bandgap of 4.8eV and a higher breakdown field intensity of 8 MV/cm than Si. With these advantages, Ga₂O₃ is being studied to use for in the manufacturing of high-frequency and high-voltage devices. On the other hand, the Ga₂O₃ has low thermal conductivity of 0.11 W/cm·K, but it can improve to heterojunction structure using high thermal conductivity semiconductor. The high thermal conductivity of 2.7 W/cm·K of SiC using substrate under the Ga₂O₃ due to small lattice mismatch of 1.3% in both interface.

In this study, the physical and electrical properties of Ga₂O₃/4H-SiC heterojunction devices were analyzed. The aerosol deposition (AD) process based powder was Ga₂O₃ of 3 um particle size. Also, in previous research made rough surface is improved by nozzle tilt 30°. The fabricated samples of O₂ and N₂ ambient were annealed at 800°C. The leakage current of 39 pA and 31 pA with -0.5 V were obtained from N₂-annealed, and O₂-annealed devices, which was lower than the As-deposited sample of 41 pA. Improved crystallinity and surface morphology was confirmed by X-ray diffraction (XRD) and scanning electron microscopy (SEM). Also, leakage current decreased due to decreased oxygen vacancy when after annealing increased oxygen content. The binding on Ga and O was demonstrated from X-ray photoelectron spectroscopy (XPS).

Keywords:

Gallium oxide, Silicon carbide, Heterojunction, Aerosol deposition

a. Corresponding Author ; smkoo@kw.ac.kr

Keywords:

Silicon carbide,
Heterostructure,
Gallium oxide,
Gate dielectric

Influence of Oxide Layer on Electrical Characteristics in Ga₂O₃/SiC Structures

이희재, 김민영, 변동욱, 마이클 A. 슈바이츠, 김민경, 고승훈, 신원호, 오종민, 박철환, 구상모^a
Hee-Jae Lee, Min-Yeong Kim, Dong-Wook Byun, Michael A. Schweitz, Minkyung Kim, Seung Hoon Ko, Weon Ho Shin, Jong-Min Oh, Chulhwan Park, Sang-Mo Koo^a

광운대학교

Abstract:

Wide-bandgap materials including gallium nitride (GaN) and silicon carbide (SiC) are attractive semiconductor for high power devices. Amongst them, Ga₂O₃ is a promising candidate while possessing a ultra-wide bandgap of 4.9 eV which exceed that of GaN (~3.4 eV) and 4H-SiC (~3.3 eV). Furthermore, Ga₂O₃ has high critical electric field of 8 MV/cm, controllable n-type doping with high electron mobility of 300 cm²/Vs, and Baliga’s figure of merits about 3400 which is higher than that of GaN (1300) and 4H-SiC (500).

However, relatively low thermal conductivity of Ga₂O₃ (~ 0.2W/cmK) could be regarded as a critical disadvantage for the high-power applications. And it may be connected to self-heating effect which degrade the device operation characteristics. The relatively poor thermal conductivity of Ga₂O₃ can be compensated by forming hetero structure with material which has high thermal conductivity such as 4H-SiC (~ 2.7 W/cmK). Also the low lattice mismatch between Ga₂O₃ (3.04 Å) and 4H-SiC (3.07 Å) occurs few defects on interface during film growths.

In metal-oxide-semiconductor (MOS) structure, band offset value over 1 eV is favored to reduce the leakage current by Schottky emission between oxide and semiconductor. Since bandgap of beta phase Ga₂O₃ is about 4.9 eV, there are relatively small numbers of available gate dielectric materials to form conduction band offsets over 1eV. Recently, dielectric materials such as Al₂O₃, SiO₂, HfO₂, and their alloys are being studied for MOS structure capable for Ga₂O₃.

In this work, the RF sputtered Ga₂O₃ films grown on 4H-SiC substrates have been investigated. For comparison of the effect of oxide layer on the properties of devices, SiO₂ and Al₂O₃ were formed on the substrates before sputtering process, respectively. Ga₂O₃ films were annealed at 900°C to improve the crystalline quality. The crystallinity of the Ga₂O₃ thin films were analyzed by X-ray diffraction (XRD). Electrical characteristics were investigated by I-V measurements using Keithley 4200-SCS.

a. Corresponding Author ; smkoo@kw.ac.kr

Platinum Sponsor



Gold Sponsor



Silver Sponsor



부스번호	기업(기관)명	전시 콘텐츠 및 회사 소개
34	세미랩코리아(주)	SiC Single Crystal wafers Epitaxy wafer's의 표면 특성 및 전기 특성 검사 장비
35	EyeQ Lab	Power 반도체
36	(재)부산테크노파크	- SiC 파워반도체 일괄공정 및 신뢰성 평가 지원 - 파워반도체 산업 등 부산의 전략산업을 중심으로 지역 혁신과 기업활동 지원
37	(주)델타이에스	Siemens CFD 시뮬레이션 툴 Simcenter SW/HW, ADT사의 TURBOdesign Suite, TeamEDA사의 엔지니어링 애플리케이션을 위한 통합 소프트웨어 라이선스 관리 도구 LAMUM SW, 예측 분석 & 불확실성 정량화(UNCERTAINTY QUANTIFICATION) 소프트웨어 SmartUQ
38	온세미컨덕터코리아(주)	SiC raw material ("the sand") SiC Wafer 8" (Thanks for that one !) Our SiC portfolio from Discretes via ASPM to Traction Modules
39	(주)에스파워테크닉스	SiC 전력반도체
40	NISSIN ION EQUIPMENT CO., LTD	반도체 제조 장비_IMPHEAT-II

• 전시부스는 6월 22일(수) 오전 9시부터 사용가능한 상태로 준비될 예정입니다.