



Tellurium 기반 휘발성 문턱 스위칭 및 고집적 메모리용 선택소자 응용 연구

김승환¹, 김창환¹, 허남욱¹, 서준기^{1,2} 

¹ 울산과학기술원 신소재공학과

² 울산과학기술원 반도체 소재·부품 대학원

Advanced Tellurium-Based Threshold Switching Devices for High-Density Memory Arrays

Seunghwan Kim¹, Changhwan Kim¹, Namwook Hur¹, and Joonki Suh^{1,2}

¹ Department of Materials Science and Engineering, Ulsan National Institute of Science and Technology (UNIST), Ulsan 44919, Korea

² Graduate School of Semiconductor Materials and Devices Engineering, Ulsan National Institute of Science and Technology (UNIST), Ulsan 44919, Korea

(Received September 4, 2023; Accepted September 16, 2023)

Abstract: High-density crossbar arrays based on storage class memory (SCM) are ideally suited to handle an exponential increase in data storage and processing as a central hardware unit in the era of AI-based technologies. To achieve this, selector devices are required to be co-integrated with SCM to address the sneak-path current issue that indispensably arises in such crossbar-type architecture. In this perspective, we first summarize the current state of tellurium-based threshold-switching devices and recent advances in the material, processing, and device aspects. We thoroughly review the physicochemical properties of elemental tellurium (Te) and representative binary tellurides, their tailored deposition techniques, and operating mechanisms when implemented in two-terminal threshold switching devices. Lastly, we discuss the promising research direction of Te-based selectors and possible issues that need to be considered in advance.

Keywords: Selector, Tellurium, Storage class memory, Ovonic threshold switch, Sneak current path, Sputtering, Atomic layer deposition

1. 서론

최근 10년간 인공지능(A.I.), 사물인터넷(IoT)과 같은 디지털 기술이 발전함에 따라 현대 산업 기술은 대용량 데이터를 저장 및 신속 처리할 수 있는 핵심 반도체 소자를 요

구하고 있다. 이러한 수요에 따라 반도체 산업은 소자의 집적도를 증가시키는 전략을 통해 문제를 해결해 왔지만 이 역시 최소 선폭 구현을 위한 공정 기술 및 비용 문제로 한계를 맞이하고 있는 상황이다 [1]. 따라서 이러한 점진적 생산 기술 발전에 기대기보다는 컴퓨팅 패러다임을 재편할 수 있는 근본적인 하드웨어의 혁신적 변화가 요구되고 있다. 그림 1(a)의 메모리 계층 구조를 보면 휘발성 메모리인 static/dynamic random access memory (SRAM/DRAM)는 접근 시간이 빠른 대신 저장 용량이 작고, 비휘발성 메모리인 solid-state drive/hard disk

✉ Joonki Suh; jsuh@unist.ac.kr

Copyright ©2023 KIEEME. All rights reserved.
This is an Open-Access article distributed under the terms of the Creative Commons Attribution Non-Commercial License (<http://creativecommons.org/licenses/by-nc/3.0>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

drive (SSD/HDD)는 저장 용량이 크지만 접근 속도가 느린 특징을 갖고 있다. 두 종류의 메모리 사이에 존재하는 성능 격차에 의해 데이터 병목 현상이 발생하게 되는데, 이러한 문제의 해결책으로서 등장한 storage class memory (SCM)는 데이터 병목 현상 문제를 해결할 수 있는 궁극의 메모리 솔루션이다 [2]. Capacitor에 전하를 저장하는 휘발성 DRAM과는 달리 SCM은 저항 변화 기반 비휘발성 메모리로서 SRAM/DRAM보다 crossbar 구조를 통한 더 큰 저장 용량, SSD/HDD보다 더 빠른 접근시간을 갖고 있다. 이는 주로 전기적 펄스에 따라 저항 상태를 변화시키는 memristor를 활용하며, 결정질과 비정질 상태의 변화를 이용하는 상변화 메모리(phase change memory, PCM) [3,4], conductive filament 형성에 따른 저항 변화를 이용하는 저항 변화 메모리(resistive RAM, RRAM) [5], 상대적인 자화 방향에 따른 자기저항효과를 활용하는 자성 메모리(magnetic RAM, MRAM) [6] 등이 존재한다.

특히, Intel에서 출시한 PCM 기반 3D Xpoint는 DRAM과 flash 메모리 사이의 격차를 메운 상용화된 SCM 기반의 메모리 기술이다 [7]. 이를 비롯한 SCM은 crossbar 구조를 통해 flash 메모리의 cell size인 $4F^2$ 만큼의 고밀도 소자를 얻을 수 있다 [8]. 그림 1(b)를 보면 crossbar 구조에서 특정 소자를 동작시키기 위해 각각 임계 전압

(threshold voltage, V_{th})의 절반인 $+0.5 V_{th}$ 와 $-0.5 V_{th}$ 를 가해준다 [9]. 그러면 타겟 소자에 V_{th} 만큼의 전위차가 생겨 초록색 선을 따라 전류가 이동하여 원하는 소자를 작동시킬 수 있다. 그러나 SCM이 단일로만 존재할 때, 저항 상태에 따라 같은 line을 공유하는 주변 cell에도 전위차가 가해지면서 빨간색 선과 같이 원하지 않는 방향으로 전류가 흐르는 현상이 발생하는데, 이를 sneak current라고 한다 [그림 1(b), (e)]. 따라서 의도치 않은 소자가 작동이 되거나 읽히는 현상을 방지하기 위해 선택소자(selector)가 필요하다 [10]. 예를 들어 SCM과 OTS가 stacking된 구조에서 특정 전압 V 를 ($V_{th} < V < V_{th, SCM}$) 인가했을 때, 고저항 상태면 전류가 흐르지 않고, 저저항 상태면 전류가 잘 흐르기에 array 내부에서 특정 소자를 선택하여 동작 혹은 읽는 것이 가능하다 [그림 1 (f)]. 트랜지스터를 선택소자로써 활용하여 sneak current를 방지할 수 있으나, 이는 추가적인 배선을 필요로 하여 $8F^2$ 이상의 넓은 cell size를 요구한다 [9]. 따라서 고집적 메모리를 위한 crossbar array를 확보하기 위해 트랜지스터 대비 작은 cell size를 갖는 two terminal 기반 ovonic threshold switch (OTS) 선택소자가 유망한 선택소자로 여겨지고 있다 [그림 1(f)].

OTS는 비정질 반도체로서 S, Se, Te와 같은 칼코겐 물질과 Zn, B, Ge 등의 물질이 혼합된 칼코게나이드 선택소

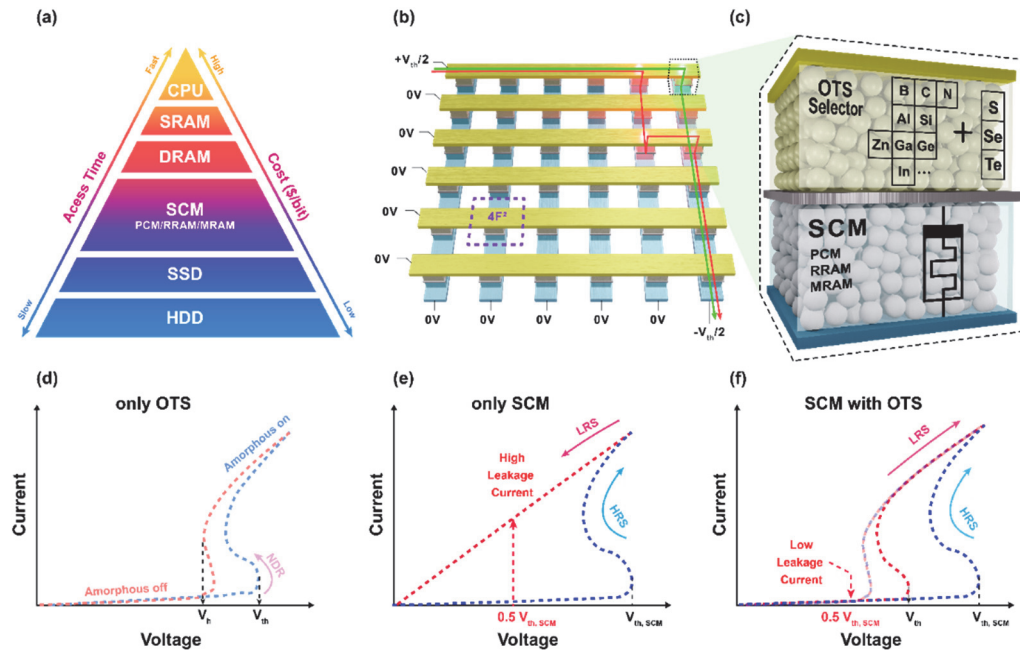


Fig. 1. (a) A memory hierarchy showing a performance gap between SRAM/DRAM and SSD/HDD, (b) and (c) schematic drawing of ovonic threshold switch (OTS) and storage class memory (SCM) stacked on a planar crossbar array structure that has $4F^2$ cell size displaying the intended current path (green line) and the sneak current path (red line), (d), (e), and (f) I-V curves of only OTS, only SCM, and SCM with OTS cases.

자이다 [그림 1(c)]. 칼코겐 원소는 lone pair를 많이 갖고 있어 밴드 갭 내부에 trap site가 많이 분포한다 [11]. 이러한 trap site들 때문에 특정 전압(V_{th})에서 저항이 음의 값을 갖게 되는 negative differential resistance (NDR) 현상이 동반되며 전류가 급격히 증가하게 되어 switching 현상이 발생한다 [12]. Threshold switching이 일어나 on 상태가 되어 저저항 상태에서 비정질 구조를 유지하며 특정 전압(V_h) 이하로 낮아지면 다시 고저항 상태로 돌아온다. 이러한 원리를 통해 특정 전압 이하에서는 고저항 상태로, 특정 전압 이상에서 저저항 상태로 가역적으로 변화하여 선택소자로서 활용이 가능하다. OTS 선택소자는 SCM과 호환 가능한 높은 on-current, 낮은 off leakage current, 높은 열적 안정성, 빠른 switching 속도, 그리고 OTS를 처음 활성화시키기 위한 first firing voltage (V_{ff})가 다른 소자에 무리를 주지 않기 위해 낮은 V_{ff} 를 요구한다. S, Se 기반 다양한 선택소자가 존재하지만, 그중 특히 Te 기반 telluride 기반 선택소자는 상대적으로 높은 on-current density, selectivity (on-current/off-current @ $0.5V_{th}$)를 가지고 있어 가장 널리 연구가 되고 있다 [13]. 최근에는 동작 안정성 및 스위칭 속도에 이점을 지닌 단일 원소 tellurium을 이용한 새로운 기작의 선택소자 보고가 잇따르고 있다. 따라서 본 리뷰에서는 tellurium 및 telluride 기반 선택소자에 대한 개발 및 연구동향을 비롯하여 향후 발전 방향에 대해 다루고자 한다.

2. Tellurium 기반 선택소자 개요

2.1 Tellurium 구조 및 물성

Tellurium (Te)은 16족에 해당하는 칼코겐 원소로서 Te 원자가 삼각형의 나선 사슬 구조로 결합된 결정구조를

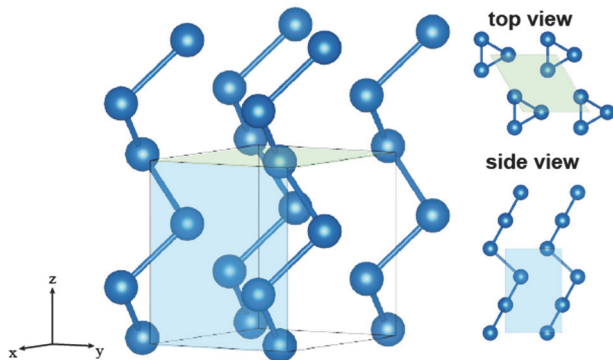


Fig. 2. Crystal structure of tellurium with top and side view.

갖고 있다 (그림 2). 각각의 Te 원자는 인접한 다른 두 개의 Te 원자들과 공유결합을 이루며 결합에 참여하지 못한 전자는 lone-pair 상태로 존재한다. 이러한 Te는 quasi-1D의 나선형 사슬 구조를 이루며 Te 사슬들이 서로 van der Waals 결합으로 평행하게 결합을 하여 이방성의 구조를 이루고 있다 [14]. Te가 단일 원소 혹은 다른 원소(Sb, Ge, B)를 포함한 비정질 alloy 구조를 이루고 있을 때 칼코겐에 존재하는 많은 lone-pair 전자들의 상호작용으로 인해 valence alternation pairs (VAPs)라 불리는 전자쌍이 생기게 된다. VAPs는 Te의 일반적인 결합과는 에너지 수준이 달라 밴드 갭 내부에 많은 수의 trap site가 만들어진다 [11]. 이러한 많은 trap site들이 임계전압에서 순간적으로 음의 저항 값을 갖게 되는 NDR의 원인이 된다 [12].

2.2 OTS 선택소자 동작 원리

OTS 선택소자는 비정질 칼코게나이드 물질로 구성되어 있으며, 특정 전압 이상에서는 저저항 상태를, 특정 전압 이하에서는 고저항 상태를 유지한다. 이는 two terminal 소자로서 트랜지스터와 달리 추가적인 배선이 필요하지 않아 고집적화된 소자에서 cell size를 증가시키지 않고 leakage current와 sneak current를 방지할 수 있다. 이러한 OTS 선택소자는 PCM과 비슷한 칼코게나이드 기반 물질로 이루어져 있지만, 비정질과 결정질 사이에서의 상변화를 통해 메모리로 활용하는 PCM과 달리 비정질 상태를 지속적으로 유지한다. 이는 PCM의 경우 결정화 온도와 녹는점의 차이가 크고 빠른 결정화 속도를 갖고 있어, 물질이 녹은 뒤 급냉각되며 생긴 비정질 상태와 결정 상태를 구분하여 비휘발성 SCM 메모리로 활용이 가능하지만 [15], OTS 선택소자는 높은 결정화 온도와 낮은 결정화 속도로 인한 비정질 상태를 유지하기 때문에 메모리가 아닌 휘발성 선택소자로 이용된다 [16]. 그림 1(d)의 IV 곡선을 보면 OTS는 파란색 선을 따라 V_{th} 이하에서는 고저항상태를 유지하지만 V_{th} 이상의 전압이 가해지면 NDR 현상이 일어남과 함께 저저항 상태로 변한다. 이후 V_h 이하에서 다시 고저항 상태로 돌아와 선택소자로서 활용 가능하다.

2.2.1 NDR

NDR 현상은 특정 전압 구간에서 음의 저항 값을 갖는 현상을 의미한다. 그림 1(d)의 IV 곡선에서 V_{th} 이상의 전압이 가해졌을 때 S 모양을 그리며 snapback 현상이 발생하여 순간적으로 IV 곡선의 기울기가 음수가 되는 것을 볼 수 있다. 이때 OTS는 저저항 상태로 변화하며 threshold switching 현상이 발생하게 된다. 이는 칼코게나이드 물

질 내에 존재하는 trap site 때문에 발생한다. 그림 3을 보면 밴드 갭 내부에 lone-pair에 의한 trap site로서 가전자대 근처의 deep trap level과 전도대 근처의 shallow trap level이 존재하는 것을 볼 수 있다. OTS가 off 상태일 때 칼코게나이드 물질 내 전자와 같은 캐리어는 낮은 전압에서 deep trap level에 포획되고, 그 사이사이를 hopping하며 움직이면서 평형상태를 유지한다. 그에 따라 대부분의 캐리어들은 deep trap level에 포획되어 낮은 conductivity와 균일한 전기장의 세기를 갖는 off 상태를 유지하게 된다. 그러나 임계 전압 이상의 큰 전위차가 가해질 때 캐리어들이 tunneling 혹은 열에너지를 통해 shallow trap level까지 올라갈 수 있는 충분한 에너지를 갖게 된다. 그에 따라 대다수의 deep trap level은 채워지고 전위차에 의하여 상대적으로 낮은 위치의 shallow trap level부터 채워진다. Shallow trap이 채워진 영역에는 캐

리어 수의 차이로 인해 약한 전기장이 가해지며 그로 인해 밴드 기울기가 다른 영역이 생긴다. 이후 큰 전위차에서 약한 전기장이 가해지는 shallow trap level이 채워진 영역이 증가함에 따라 전체 전압이 순간적으로 감소하게 된다. 그 결과 IV 곡선의 V_{th} 근처에서 S 모양이 그려지는 NDR 현상이 나타나게 되며 대부분의 shallow trap이 채워졌을 때 높은 conductivity를 갖는 on 상태가 된다 [12].

3. Binary telluride 선택소자

3.1 박막 증착

OTS를 구성하는 칼코게나이드 반도체 물질을 증착하기 위해서는 여러가지 공정 조건이 필요하다. 특히 고온에서 칼코겐 원소가 segregation되지 않고, back-end-of-line (BEOL, 450°C 30 min) 공정과 호환이 가능해야 한다 [13]. 대부분의 Te 기반 binary 화합물 선택소자는 주로 sputtering 공정을 통해 증착된다. Sputtering 공정은 특유의 높은 박막 신뢰성을 가지며 복잡한 조성을 갖는 물질도 타겟 제조를 통해 증착 가능하다. Sputtering으로 Te 기반 OTS 물질을 증착하기 위해 여러가지 방법이 존재한다. 첫째로 단일 타겟을 이용하는 방법 [17], 두 가지 이상의 타겟을 이용하여 binary Te [18]와 ternary 이상의 Te [19] 물질의 증착 및 조성 조절이 가능한 co-sputtering, 반응성 기체를 흘려주면서 증착을 하는 reactive sputtering [20] 방법이 존재한다 [그림 4(b)].

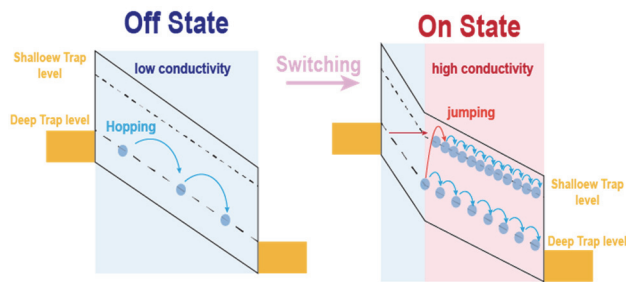


Fig. 3. Schematic illustrations of negative differential resistance (NDR) mechanism induced by a transition between deep and shallow trap sites.

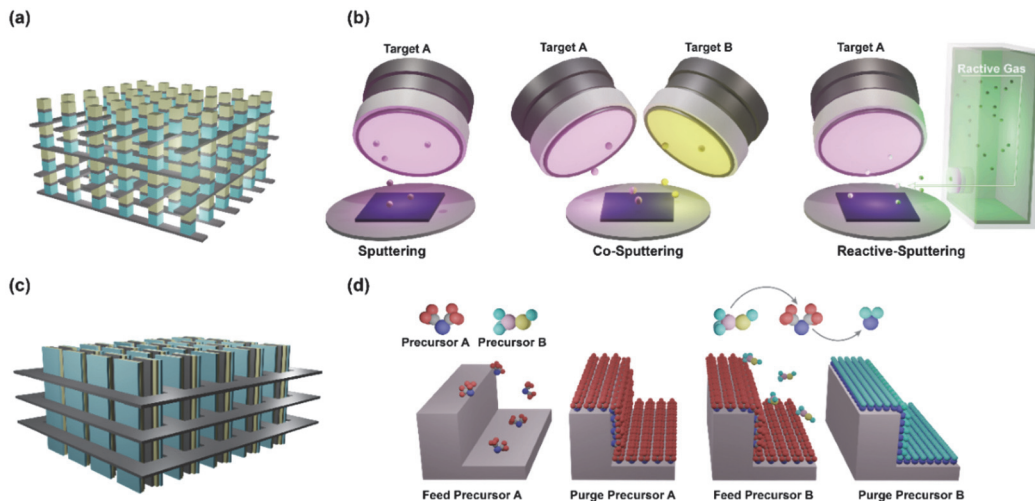


Fig. 4. Schematic images of deposition methods for crossbar memory device structure. (a) Planar crossbar array structure, (b) various types of sputtering methods: sputtering, co-sputtering with two targets for complex composition, and reactive sputtering with reactive gas, (c) 3D vertical structure of crossbar array structure, and (d) the process sequence of atomic layer deposition (ALD) in trench substrates.

그러나 고밀도 vertical향 메모리 소자 제작 시 physical vapor deposition (PVD) 기반 sputtering 공정은 step coverage 한계가 존재한다 [그림 4(a), (c)]. 따라서 3차원 구조체 증착에 유리한 atomic layer deposition (ALD) 기반 공정 개발이 요구된다 [21]. ALD는 전구체의 feeding와 purge 사이클을 반복하여 증착하는 공정법으로서 이를 통해 Te 기반 OTS 물질을 높은 종횡비 내에서도 원자 규모의 두께 조절과 conformal한 증착이 가능하여 고밀도의 vertical향 메모리 소자에 적합하다 [22] [그림 4(d)].

3.2 물질에 따른 분류

3.2.1 Zinc telluride, Zn-Te

2018년 포항공과대학교 연구팀은 비정질 ZnTe의 OTS 동작 기작에 대해 보고했다. $W/Zn_{1-x}Te_x/W$ 소자에서 ZnTe 조성비 조절을 기반으로 하여 이론적 모델과 실험적 소자의 비교를 통해 conduction mechanism에 대한 핵심 변수에 대해 밝혀냈다. 전자들이 trap site 사이를 hopping을 통한 conduction을 기반으로 움직일 때 deep trap 사이의 평균 거리와 전도대와 quasi-Fermi level 차이만큼의 에너지 장벽에 크게 영향을 받는다. 이러한 이론 바탕으로 ZnTe의 조성을 조절하여 Zn의 비율이 높아질수록 off current가 개선되지만 Zn이 과량 함유되었을 때에는 ZnTe가 metallic해져 오히려 성능이 감소하는 것을 실험적으로 증명하였으며 $Zn_{0.35}Te_{0.65}$ 의 최적의 조성을 구해냈다. 이는 conduction mechanism을 바탕으로 조성 조절을 통해 off current를 개선할 수 있음을 보였다 [23].

또한 2019년 연세대학교 연구팀은 큰 밴드 갭을 갖는 polycrystalline ZnTe의 threshold switching 소자에 대해 보고했다. ZnTe 단일 타겟 sputtering 공정을 통해 증착을 진행하였으며 TiN/ZnTe/W 구조의 소자에서 전기 측정을 진행하였다. 일반적인 OTS는 비정질 구조로 인해 상대적으로 약한 원자 간 결합 때문에 V_{th} drift 현상이 발생하지만, polycrystalline의 구조는 이를 방지할 수 있다. 본 연구의 ZnTe는 기존의 OTS와는 다른 polycrystalline 임에도 불구하고 높은 deep-defect density를 가져 OTS switching 특성을 보여준다. 그에 따라 V_{th} drift가 없고 10^9 cycles의 endurance, 10^4 selectivity, 10ns의 switching 속도를 갖는 선택소자에 대해 보고했다 [17].

3.2.2 Boron telluride, B-Te

BTe는 안정적인 thermal stability를 갖는 binary telluride 중 하나이다. 이는 boron (B)이 Te 원자들과 강력한 결합을 하고 있어 Te matrix를 가로질러 이동하기 어

렵기 때문이다 [24]. 그에 따라 BTe는 비정질 상태에서 높은 열적 안정성을 보여준다.

2018년 포항공과대학교 연구팀은 낮은 동작 전압, 낮은 off current, 빠른 switching 속도, 높은 endurance 및 열적 안정성을 갖는 BTe OTS 소자에 대해 보고했다. B와 Te target을 활용한 co-sputtering 공정을 바탕으로 조성 조절을 통해 $W/B_{0.25}Te_{0.75}/W$ 소자를 만들었다. Selectivity가 10^5 , 10ns의 빠른 switching 속도와 10^8 cycles의 endurance를 비롯해 BEOL 공정에서도 견딜 수 있는 열적 안정성을 보여주었다 [18].

이와 더불어 해당 연구팀은 지속적으로 BTe에 대한 연구를 해왔다. 2022년 Si, B, Te 총 3가지의 target을 활용한 Si-doped BTe에 대한 연구 [25], 2023년 B, Te target과 N_2 gas를 이용하여 reactive-sputtering 공정을 통한 N-doped BTe에 대한 연구 [20] 등을 통해 낮은 off current 및 V_{th} drift와 높은 endurance를 보여주며 지속적인 성능 개선을 이뤄왔다.

3.2.3 Germanium telluride, Ge-Te

일반적으로 상변화 물질로 활용되는 Ge_1Te_1 와 달리 Te-rich GeTe의 경우($GeTe_6$) 빠른 switching 속도(>5ns)를 갖는 OTS 특성을 보여준다 [26]. 2021년 화중과기대학 연구팀은 sputtering 공정을 통해 carbon-doped (C-doped) $GeTe_x$ OTS 선택소자를 보고했다. C doping (>10%)을 통해 기존의 4-coordinated Ge가 갖는 약 90° 의 bonding angle이 $109^\circ 28'$ 로 변하게 되어 비정질 상태의 안정성을 개선시켰다. 하지만 너무 많은 C-doping을 하게 되면 5-coordinated Ge의 분포가 늘어나며 전반적인 소자 성능이 감소하게 된다. 적절한 농도의 C-doping을 함에 따라 낮은 off current (2 nA), 적절한 selectivity ($>4.2 \times 10^4$)와 높은 endurance ($>10^7$ cycles)을 보여주었다. 결과적으로 Te의 조성비와 carbon doping의 조절에 따라 off current가 감소하여 기존의 Te 기반 선택소자와 비교해 3.5배 이상의 off current 개선을 이루어냈다 [27].

앞서 언급했듯, vertical향 소자를 위해서는 ALD 공정 기반 선택소자가 필요하다. 2019년 Intermolecular Inc. 연구팀은 ALD를 통해 GeTe 조성 조절을 하여 13ns의 빠른 switching 속도를 갖는 $GeTe_4$ OTS 선택소자를 보고했다. Trichloro germane (HCl_3Ge)와 bis(trimethylsilyl) tellurium (BTMS-Te)을 전구체로서 활용하여 20:1 종횡비를 갖는 Si trench 구조 내에서 균일한 $GeTe_x$ ($x=0.7, 1, 4, 6$)를 증착했다. 전기 측정을 했을 때 $GeTe_{0.7}$ 에서는 OTS 특성이 나오지 않지만 $GeTe_4$ 에서는 13ns의 switching 속도를 갖는 OTS 소자를 얻을 수 있었다 [22].

4. 단일원소 tellurium 선택소자

Te 기반 OTS 선택소자는 Ge, Si, Al, B 등의 원소들과 결합하여 비정질의 binary 혹은 ternary, quaternary tellurides를 이룬다. 그렇기 때문에 여러 번 동작된 OTS 소자에서 phase segregation 혹은 Te의 결정화가 생기며 이는 소자의 동작 안정성에 악영향을 미친다. 이러한 문제를 해결하기 위해 C와 같은 원소를 첨가하거나 [28] 조성 조절을 하여 segregation을 줄이기도 한다 [29]. 더욱이 최근에는 단일 원소 Te를 활용하여 완전히 segregation 으로부터 자유로운 선택소자가 제시되었다 [30].

4.1 동작 원리

2021년 중국과학원 산하 상하이 마이크로시스템 및 정보기술연구소에서 일반적인 비정질 Te 기반 OTS 선택소자와는 다른 동작 원리를 갖는 Te 단일원소 선택소자에 대해 보고했다. 일반적인 OTS와는 달리 Te 단일원소 선택소자는 액체상태와 결정질 고체상태 사이의 상변화를 통해 휘발성 선택소자로서 활용 가능하다. TiN/Te/TiN가 적층된 단일 원소 Te 선택소자에서 off 상태는 결정 상태의 Te와 전극 사이의 계면에 존재하는 0.95 eV 정도의 schottky 장벽이 형성되기 때문에, 0.1 nA만큼의 낮은 off current를 보여준다. 또한 Te는 낮은 녹는점($\sim 445^{\circ}\text{C}$)을 갖고 있어 전기적 펄스를 통한 Joule heating을 발생시켜

쉽게 액체 상태로 전환이 가능하다. 액체 상태의 Te는 금속과 같은 낮은 저항값($\sim 3 \times 10^{-4}$ ohms \cdot cm)을 갖고 있어 mA 수준의 on current 값을 보여준다. 이는 굉장히 높은 전류 값이기 때문에 소자를 보호하기 위한 추가적인 저항을 달아주었다. 게다가 단일원소 Te 같은 경우 굉장히 낮은 결정화 온도(-10°C)를 갖고 있어 빠른 nano second 수준의 결정화 속도를 보여준다. 전기 측정을 위한 직경 100~200 nm의 TiN/Te/TiN가 적층된 나노 소자를 Cu transmission electron microscope (TEM) grid 위에 제작하여 switching 과정을 in-situ TEM에서도 보여주었다 [그림 5(a), (b)]. Te 선택소자와 W tip을 contact하여 실시간으로 전압을 인가하였을 때 off 상태에서는 규칙적인 배열을 갖던 Te 내에서 switching 과정이 일어남에 따라 이전과 다른 불규칙적인 배열이 나타난다 [그림 5(g)~(i), 빨간 화살표]. 이때 의도하지 않은 void가 생기지만 다시 off 상태로 돌아가면서 사라진다. 이를 fast fourier transform (FFT) 이미지로 본 결과 as-deposition 상태 일 때 Te의 trigonal 구조가 잘 확인되며, switching이 됨에 따라 불규칙적인 구조로 변화하여 liquid 상태가 확인 가능하다 [그림 5 (i)]. 다시 off 상태로 돌아왔을 때 FFT 이미지에서 trigonal 한 Te를 확인할 수 있다 [그림 5(d), (f)]. 따라서 해당 연구는 단일원소 tellurium 선택소자를 보고 하고, 이를 결정질과 액체 사이의 상변화를 통해 동작하는 것을 in-situ TEM을 통해 밝혀냈다는 것에 의의가 있다 [30].

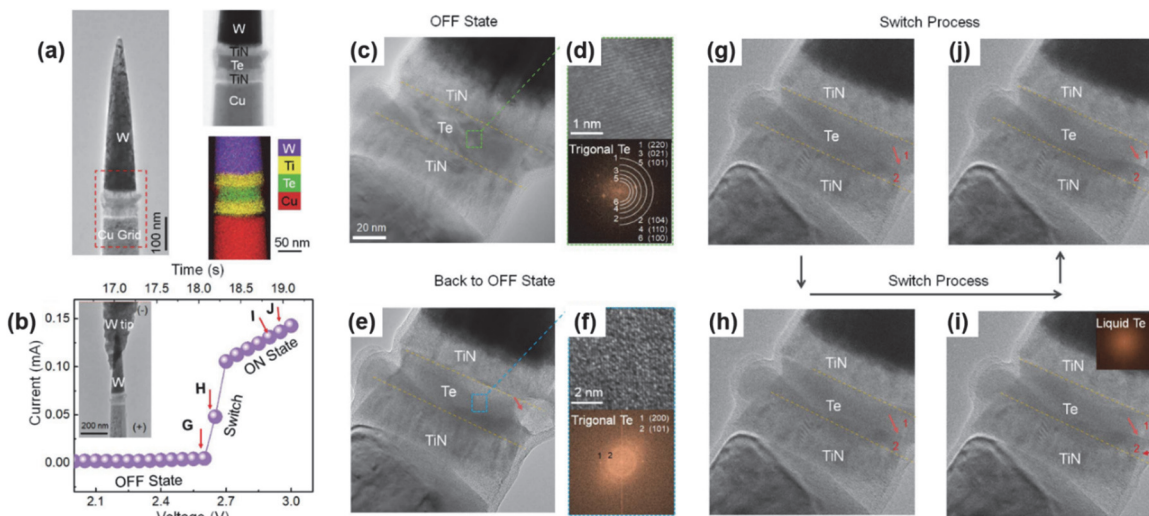


Fig. 5. Switching mechanism of single element Te devices investigated through in-situ TEM. (a) TEM images of the corresponding device, (b) DC IV curve of nanodevice used for in-situ TEM studies, (c) and (d) microstructure of Te device and FFT image before switching, (e) and (f) microstructure of Te device and FFT image after switching, and (g)~(j) sequential images of single-element Te nanodevice switching.

4.2 증착법

높은 신뢰성과 고집적도의 소자를 위한 Te 박막을 위해 Te의 등방성 성장과 Te 원자의 desorption 최소화를 위한 저온에서의 증착이 요구된다 [31]. 그에 따라 많은 Te 증착 연구는 PVD 공정을 바탕으로 상온에서 sputtering을 통한 증착 후 저온 열처리(150~400°C) [30,32], 낮은 기판 온도(-80°C)에서 thermal evaporation으로 증착한 뒤 기판 온도를 조절하는 [33] 등의 다양한 방식을 통해 이루어지고 있다.

그러나 고집적도의 vertical향 소자를 위해서는 ALD기반 Te 증착이 필요하다. 2023년 유니스트 연구팀은 50°C에서 ALD를 통한 단일원소 Te 증착에 대해 보고했다. 단순히 Te 전구체 [Te(SiMe₃)₂, Te(OEt)₄]를 사용할 때와는 달리 methanol (MeOH)를 첨가하여 adsorption과 nucleation density를 개선하였으며 반복적인 dosing을 통해 spatial blocking effect를 최소화하였다. 이는 MeOH가 기판 표면에 흡착할 수 있는 adsorption site를 활성화시킬 뿐만 아니라 Te(SiMe₃)₂와 반응하여 compact한 TeH₂로 변화하여 Te(SiMe₃)₂ 대비 단위 면적당 높은 흡착을 가능하게 해주었다. 이를 통해 박막형태의 Te를 증착할 수 있었으며, 이들이 다양한 전자소자로 활용 가능성을 확인하였다. 특히, 단일원소 Te 선택소자에서는 40ns의 switching 속도, 약 10⁴ selectivity, 낮은 V_{th}(~1.3 V)를 보여주었다. 그에 따라 50°C라는 낮은 온도에서 고집적도의 높은 종횡비를 요구하는 소자에서도 균일한 Te 증착이 가능하다는 것을 밝혀냈다 [31].

5. 향후 발전 방향

많은 Te 기반 선택소자들은 doping 및 조성 조절 등 다양한 방법을 통해 지속적으로 성능을 개선시켜 왔다. 이러한 선택소자는 3D crossbar array 구조에서뿐만 아니라 현재 개발 중인 vertical 소자에서의 동작 또한 요구된다. 이를 통해 더욱 뛰어난 cost/bit와 고밀도의 소자의 구현이 가능해질 것이다 [34]. 그에 따라, 소자 및 공정 간 여러 가지 고려해야 할 부분이 존재한다. 첫째로 넓어진 unit cell area에 따른 off leakage current의 증가이다. 기존의 doping이나 조성 조절을 통해 leakage current를 줄이는 방법과 더불어, indium telluride에서 추가적인 HfO_x buffer layer를 통해 HfO_x를 뚫고 생기는 filament로 인한 contact area를 줄이는 연구 [34], 혹은 Ge와 GeTe₉ 초격자 구조를 통한 off current 개선 및 열적 안정

성과 switching 속도를 높이는 연구가 존재한다 [35]. 두 번째로 vertical 소자에 적합한 공정 개발이 필요하다. 기존의 sputtering 공정은 복잡한 조성을 갖는 물질도 비교적 간단하게 증착이 가능하다는 장점을 갖지만 vertical 소자의 높은 종횡비를 충족시키기는 어렵다. 따라서 높은 종횡비를 갖는 vertical 소자에 적합한 ALD 기반 증착 공정에 대한 개발이 필요하다.

또한 OTS 기반 선택소자에서 유독한 Arsenic (As) 원소를 제외하려는 노력이 이어져 오고 있다. 기존의 Te 기반 OTS를 포함한 칼코게나이드 물질에서 As는 segregation을 막아주어 device의 수명을 늘려주며 [19], 산화를 방지하고 열적 안정성을 증가시켜 device의 endurance를 개선시킨다 [36]. 따라서 ternary, quaternary와 같이 조성이 복잡해질수록 As원소를 첨가하는 경우가 많다. 그러나 As의 유독한 성질 때문에 As를 첨가하지 않는 선택소자에 대한 연구가 진행되고 있다.

6. 결론

Planar crossbar array에서 차세대 메모리로서 SCM의 sneak current를 방지하기 위한 tellurium 기반 선택소자는 doping 및 조성 조절을 통한 sputtering 공정을 바탕으로 낮은 leakage current, 높은 열적 안정성, 빠른 switching 속도, 낮은 V_{th} drift 등 여러 방면에서 소자의 성능을 개선시켜 왔다. 또한 칼코게나이드 물질에서 발생하는 phase segregation 문제를 탈피한 단일원소 Te 선택소자와 같이 다양한 방식을 통한 개선이 이루어지고 있다. 이러한 crossbar array는 고집적도의 메모리를 위해 vertical향 소자의 개발을 목표로 하고 있다. Vertical 메모리 소자를 위해서는 여러 가지 사항들이 선택소자에 요구된다. Unit cell size가 늘어남에 따라 증가된 off leakage를 줄이는 것과 더불어 doping 및 조성 조절 혹은 새로운 구조를 통한 전반적인 물질 내 성능 자체의 개선이 요구되며, 높은 종횡비 내에서 conformal한 증착을 위해 기존의 sputtering 기반 공정이 아닌 ALD 기반 공정이 요구된다. 현재도 GeTe를 비롯한 다양한 binary telluride ALD 증착에 대한 연구는 지속적으로 이루어지고 있으며 이를 통해 고집적 메모리 소자를 통해 반도체 산업을 넘어 다양한 분야에 영향을 미칠 수 있을 것으로 기대된다.

ORCID

Joonki Suh

<https://orcid.org/0000-0002-0221-8447>

감사의 글

This work was supported by the National Research Foundation of Korea (NRF) funded by the Ministry of Science and ICT (2022M3I7A2079098) and by the research project fund (1.230013.01) of UNIST.

REFERENCES

- [1] M. M. Waldrop, *Nature*, **530**, 144 (2016).
doi: <https://doi.org/10.1038/530144a>
- [2] C. H. Lam, *Proc. 2010 10th IEEE International Conference on Solid-State and Integrated Circuit Technology* (IEEE, Shanghai, China, 2010) p. 1080.
doi: <https://doi.org/10.1109/ICSICT.2010.5667551>
- [3] M.H.R. Lankhorst, B.W.S.M.M. Ketelaars, and R.A.M. Wolters, *Nat. Mater.*, **4**, 347 (2005).
doi: <https://doi.org/10.1038/nmat1350>
- [4] X. B. Li, N. K. Chen, X. P. Wang, and H. B. Sun, *Adv. Funct. Mater.*, **28**, 1803380 (2018).
doi: <https://doi.org/10.1002/adfm.201803380>
- [5] J. J. Yang, M. D. Pickett, X. Li, D.A.A. Ohlberg, D. R. Stewart, and R. S. Williams, *Nat. Nanotechnol.*, **3**, 429 (2008).
doi: <https://doi.org/10.1038/nnano.2008.160>
- [6] N. Sato, F. Xue, R. M. White, C. Bi, and S. X. Wang, *Nat. Electron.*, **1**, 508 (2018).
doi: <https://doi.org/10.1038/s41928-018-0131-z>
- [7] J. Hruska, *ExtremeTech*, Intel, Micron Reveal Xpoint, a New Memory Architecture that Could Outclass DDR4 and NAND, <https://www.extremetech.com/extreme/211087-intel-micron-reveal-xpoint-a-new-memory-architecture-that-claims-to-outclass-both-ddr4-and-nand> (2015).
- [8] H. Wu, E. Vianello, S. J. Kim, and M. Prezioso, *Nat. Commun.*, **13**, 4055 (2022).
doi: <https://doi.org/10.1038/s41467-022-31598-5>
- [9] Q. Xia and J. J. Yang, *Nat. Mater.*, **18**, 309 (2019).
doi: <https://doi.org/10.1038/s41563-019-0291-x>
- [10] D. Seong, S. Y. Lee, H. K. Seo, J. W. Kim, M. Park, and M. K. Yang, *Materials*, **16**, 2066 (2023).
doi: <https://doi.org/10.3390/ma16052066>
- [11] M. Kastner, D. Adler, and H. Fritzsche, *Phys. Rev. Lett.*, **37**, 1504 (1976).
doi: <https://doi.org/10.1103/PhysRevLett.37.1504>
- [12] D. Ielmini and Y. Zhang, *J. Appl. Phys.*, **102**, 054517 (2007).
doi: <https://doi.org/10.1063/1.2773688>
- [13] M. Zhu, K. Ren, and Z. Song, *MRS Bull.*, **44**, 715 (2019).
doi: <https://doi.org/10.1557/mrs.2019.206>
- [14] Z. Y. Chen and R. Qin, *Phys. Rev. A*, **101**, 053423 (2020).
doi: <https://doi.org/10.1103/PhysRevA.101.053423>
- [15] W. Zhang, R. Mazzarello, M. Wuttig, and E. Ma, *Nat. Rev. Mater.*, **4**, 150 (2019).
doi: <https://doi.org/10.1038/s41578-018-0076-x>
- [16] G. W. Burr, R. S. Shenoy, K. Virwani, P. Narayanan, A. Padilla, B. Kurdi, and H. Hwang, *J. Vac. Sci. Technol. B*, **32**, 040802 (2014).
doi: <https://doi.org/10.1116/1.4889999>
- [17] T. Kim, Y. Kim, I. Lee, D. Lee, and H. Sohn, *Nanotechnology*, **30**, 13LT01 (2019).
doi: <https://doi.org/10.1088/1361-6528/aafe13>
- [18] J. Yoo, D. Lee, J. Park, J. Song, and H. Hwang, *IEEE J. Electron Devices Soc.*, **6**, 821 (2018).
doi: <https://doi.org/10.1109/JEDS.2018.2856853>
- [19] D. Garbin, W. Devulder, R. Degraeve, G. L. Donadio, S. Clima, K. Opsomer, A. Fantini, D. Cellier, W. G. Kim, M. Pakala, A. Cockburn, C. Detavernier, R. Delhougne, L. Goux, and G. S. Kar, *Proc. 2019 IEEE International Electron Devices Meeting (IEDM)* (IEEE, San Francisco, USA, 2019) p. 35.1.1.
doi: <https://doi.org/10.1109/IEDM19573.2019.8993547>
- [20] J. Lee, S. Ban, T. H. Lee, and H. Hwang, *IEEE Electron Device Lett.*, **44**, 1468 (2023).
doi: <https://doi.org/10.1109/LED.2023.3297992>
- [21] C. Yoo, J. W. Jeon, S. Yoon, Y. Cheng, G. Han, W. Choi, B. Park, G. Jeon, S. Jeon, W. Kim, Y. Zheng, J. Lee, J. Ahn, S. Cho, S. B. Clendenning, I. V. Karpov, Y. K. Lee, J. H. Choi, and C. S. Hwang, *Adv. Mater.*, **34**, 2207143 (2022).
doi: <https://doi.org/10.1002/adma.202207143>
- [22] V. Adinolfi, L. Cheng, M. Laudato, R. C. Clarke, V. K. Narasimhan, S. Balatti, S. Hoang, and K. A. Littau, *ACS Nano*, **13**, 10440 (2019).
doi: <https://doi.org/10.1021/acsnano.9b04233>
- [23] Y. Koo and H. Hwang, *Sci. Rep.*, **8**, 11822 (2018).
doi: <https://doi.org/10.1038/s41598-018-30207-0>
- [24] H. Liu, H. Gong, K. Liu, K. Ding, J. Chen, Z. Liu, and F. Rao, *Chem. Mater.*, **35**, 6396 (2023).
doi: <https://doi.org/10.1021/acs.chemmater.3c01097>
- [25] S. Ban, S. Lee, J. Lee, and H. Hwang, *IEEE Electron Device Lett.*, **43**, 643 (2022).
doi: <https://doi.org/10.1109/LED.2022.3152207>
- [26] M. Anbarasu, M. Wimmer, G. Bruns, M. Salinga, and M. Wuttig, *Appl. Phys. Lett.*, **100**, 143505 (2012).
doi: <https://doi.org/10.1063/1.3700743>
- [27] L. Wang, W. Cai, D. He, Q. Lin, D. Wan, H. Tong, and X. Miao, *IEEE Electron Device Lett.*, **42**, 688 (2021).
doi: <https://doi.org/10.1109/LED.2021.3064857>
- [28] S. A. Chekol, J. Yoo, J. Park, J. Song, C. Sung, and H. Hwang, *Nanotechnology*, **29**, 345202 (2018).
doi: <https://doi.org/10.1088/1361-6528/aac9f5>
- [29] L. Wang, J. Wen, R. Zhu, J. Chen, H. Tong, and X. Miao, *Appl. Phys. Lett.*, **121**, 193501 (2022).
doi: <https://doi.org/10.1063/5.0127177>

- [30] J. Shen, S. Jia, N. Shi, Q. Ge, T. Gotoh, S. Lv, Q. Liu, R. Dronskowski, S. R. Elliott, Z. Song, and M. Zhu, *Science*, **374**, 1390 (2021).
doi: <https://doi.org/10.1126/science.abi6332>
- [31] C. Kim, N. Hur, J. Yang, S. Oh, J. Yeo, H. Y. Jeong, B. Shong, and J. Suh, *ACS Nano*, **17**, 15776 (2023).
doi: <https://doi.org/10.1021/acsnano.3c03559>
- [32] T. Kim, C. H. Choi, P. Byeon, M. Lee, A. Song, K. B. Chung, S. Han, S. Y. Chung, K. S. Park, and J. K. Jeong, *npj 2D Mater. Appl.*, **6**, 4 (2022).
doi: <https://doi.org/10.1038/s41699-021-00280-7>
- [33] C. Zhao, H. Batiz, B. Yasar, H. Kim, W. Ji, M. C. Scott, D. C. Chrzan, and A. Javey, *Adv. Mater.*, **33**, 2100860 (2021).
doi: <https://doi.org/10.1002/adma.202100860>
- [34] S. Ban, J. Lee, T. Kim, and H. Hwang, *Proc. 2023 IEEE Symposium on VLSI Technology and Circuits (VLSI Technology and Circuits)* (IEEE, Kyoto, Japan, 2023) p. 1.
doi: <https://doi.org/10.23919/VLSITechnologyandCir57934.2023.10185213>
- [35] L. Wang, J. Wen, Z. Liu, J. Chen, H. Tong, and X. Miao, *IEEE Electron Device Lett.*, **44**, 1096 (2023).
doi: <https://doi.org/10.1109/LED.2023.3272884>
- [36] P. Noé, A. Verdy, F. d'Acapito, J. B. Dory, M. Bernard, G. Navarro, J. B. Jager, J. Gaudin, and J. Y. Raty, *Sci. Adv.*, **6**, eaay2830 (2020).
doi: <https://doi.org/10.1126/sciadv.aay2830>